

621.38  
455

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
Національний аерокосмічний університет ім. М.Є. Жуковського  
«Харківський авіаційний інститут»

М.В. Цеховський, О.В. Світличний

ЕЛЕКТРОННА ТА МІКРОПРОЦЕСОРНА ТЕХНІКА В МЕТРОЛОГІЇ  
Й ІНФОРМАЦІЙНО-ВИМІРЮВАЛЬНИХ СИСТЕМАХ

Навчальний науковий посібник

Научно-техническая  
библиотека  
"ХАИ"



mt0116792

**НАУКОВО-ТЕХНІЧНА  
БІБЛІОТЕКА**  
Національного аерокосмічного  
університету ім. М.Є.Жуковського  
«Харківський авіаційний інститут»

Харків «ХАІ» 2009

621.38.049.77 : 004,3 : 006(075.8)

УДК 621.384.001.63

Цеховський М. В. Електронна та мікропроцесорна техніка в метрології й інформаційно-вимірювальних системах: навч. наочний посібник/ М. В. Цеховський, О. В. Світличний. – Х.: Нац. аерокосм. ун-т «Харк. авіац. ін-т», 2009. – 124 с.

Розглянуто архітектуру побудови мікроконтролерів фірми Atmel, структуру регістрів, таблиць конфігурації вбудованих блоків оброблення, перетворення й прийому-передачі даних, основні типові схеми ввімкнення й застосування мікроконтролерів та їхніх складових блоків.

Для студентів старших курсів денної й заочної форм навчання спеціальностей «Метрологія й інформаційно-вимірювальні технології» та «Метрологія, стандартизація, сертифікація» при підготовці й виконанні лабораторних робіт і курсового проектування з дисциплін «Електронна й мікропроцесорна техніка», «Мікропроцесори в інформаційно-вимірювальних системах».

Іл. 112. Табл. 156. Бібліогр.: 4 назви

Рецензенти: д-р техн. наук, проф. С. І. Кондрашов,  
д-р техн. наук, проф. П. О. Качанов



## Вступ

При розробленні пристроїв оброблення, перетворення та вимірювання інформації все більше застосовуються мікроелектронні радіокомпоненти з високим ступенем інтеграції. Це дає можливість створювати пристрої з широким переліком функцій і можливостей за умови мінімізації масогабаритних показників й енергоспоживання.

Найбільш поширеними мікроелектронними радіокомпонентами оброблення інформації є мікроконтролери різних фірм-виробників. Спільними рисами мікроконтролерів широкої номенклатури, що виробляються, є універсальність архітектури й можливість програмного налаштування приладу на виконання необхідних операцій.

Сучасні мікроконтролери за допомогою таких інтегрованих блоків, як аналого-цифрові перетворювачі, восьми- й шістнадцятирозрядні таймери-лічильники, аналогові компаратори, інтерфейси прийому-передачі даних, а також розгалужена система оброблення переривань дають можливість виконувати завдання будь-якої складності.

З метою конфігурування мікроконтролера для реалізації алгоритму оброблення й перетворення даних необхідно мати знання щодо архітектури побудови блоків мікроконтролера, структури регістрів управління й призначення їхніх бітів, часових діаграм, що пояснюють принципи роботи блоків та елементів, основ конфігурації й типових схем ввімкнення блоків.

Наочний посібник містить базову інформацію відносно архітектури побудови мікроконтролерів фірми ATMEL серії AVR. Наведено типові схеми побудови таких блоків, як центральний процесорний пристрій, порти введення-виведення, 8- й 16-розрядні таймери-лічильники, аналого-цифровий перетворювач, інтерфейси обміну даними тощо.

Налагодження мікроконтролера на виконання поставленого завдання здійснюється на програмно-апаратному рівні з використанням емуляторів, програматорів та інших технічних засобів. Початковою інформацією для розробника є структура регістрів керування блоками мікроконтролера, часові діаграми їхньої роботи та кількісні технічні параметри. Наведені дані характеризують роботу основних блоків мікроконтролерів.

Детальна інформація щодо режимів роботи блоків, подана в таблицях, дає можливість налагоджувати пристрої на вирішення поставленої задачі.

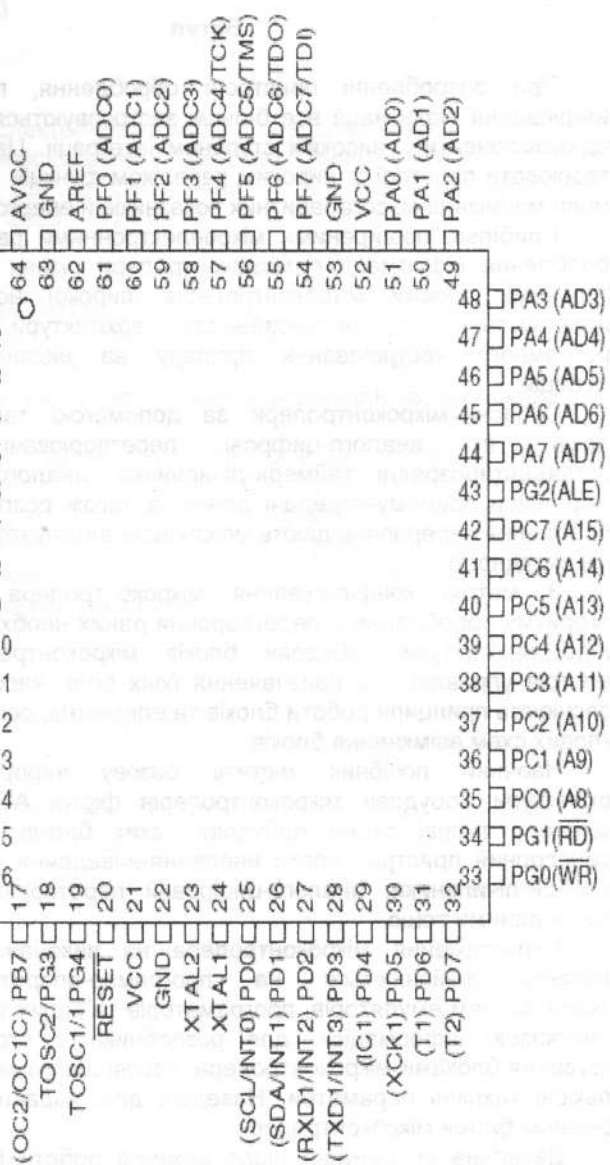


Рисунок 1



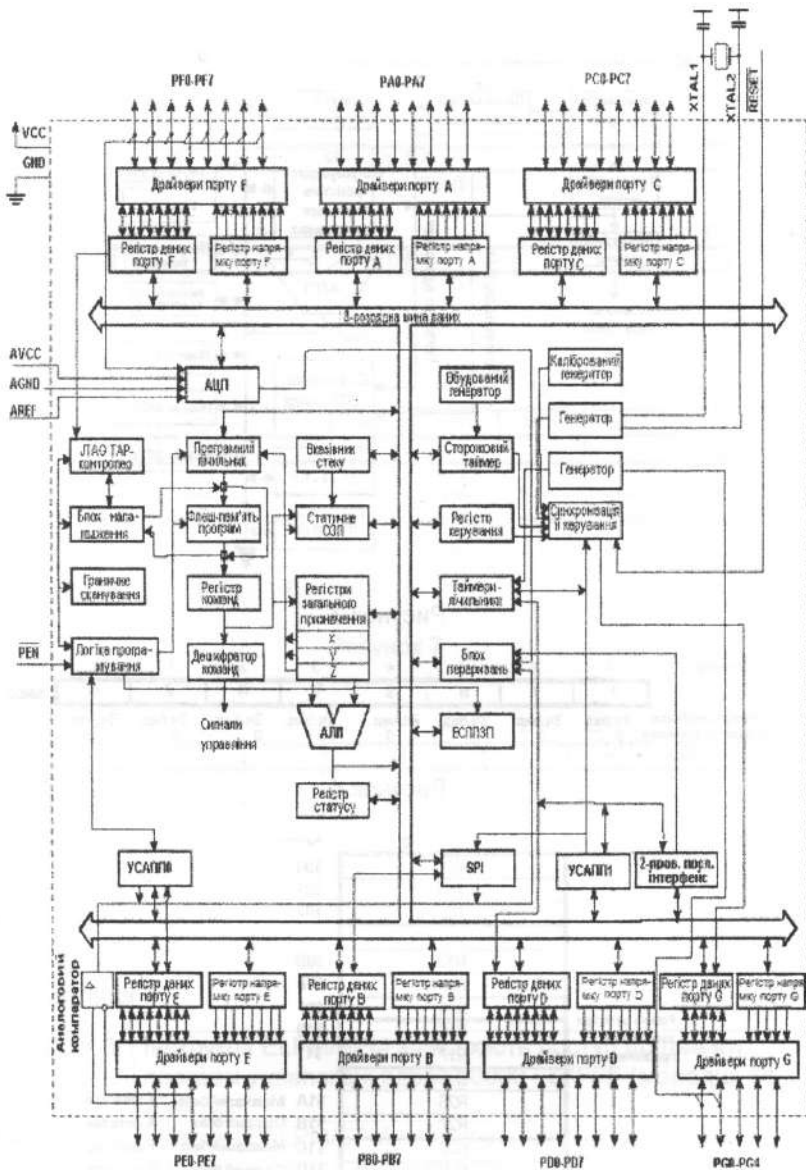


Рисунок 2

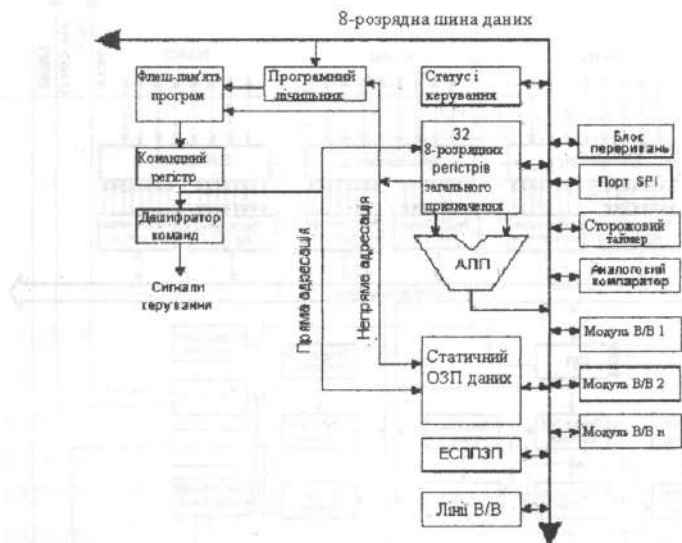


Рисунок 3

Розряд	7	6	5	4	3	2	1	0	SREG
	I	T	H	S	V	M	Z	C	
Значення біта/значення Початкове значення	3ч./вал. 0	3ч./вал. 0	3ч./вал. 0	3ч./вал. 0	3ч./вал. 0	3ч./вал. 0	3ч./вал. 0	3ч./вал. 0	

Рисунок 4

	7	0	Адреса	
	R0		\$00	
	R1		\$01	
	R2		\$02	
	...			
	R13		\$0D	
	R14		\$0E	
	R15		\$0F	
	R16		\$10	
	R17		\$11	
	...			
	R26		\$1A	Молодший байт X-реєстра
	R27		\$1B	Старший байт X-реєстра
	R28		\$1C	Молодший байт Y-реєстра
	R29		\$1D	Старший байт Y-реєстра
	R30		\$1E	Молодший байт Z-реєстра
	R31		\$1F	Старший байт Z-реєстра

Робочі реєстри загального призначення

Рисунок 5

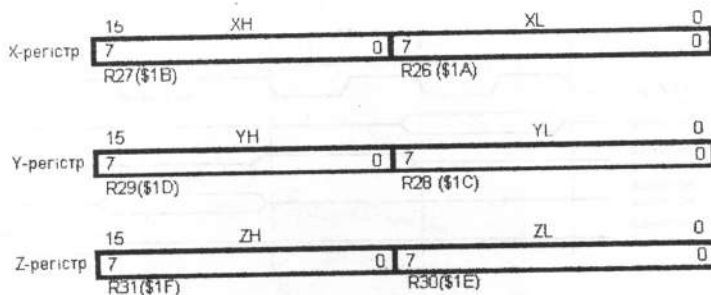


Рисунок 6

Розряди	15	14	13	12	11	10	9	8	
	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Зчитування/запис	7 Зч./зап.	6 Зч./зап.	5 Зч./зап.	4 Зч./зап.	3 Зч./зап.	2 Зч./зап.	1 Зч./зап.	0 Зч./зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Рисунок 7

Розряд	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	RAMPZ0	RAMPZ
Зчитування/запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч./зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Рисунок 8

Таблиця 1

RAMPZ0 = 0:	Інструкції ELPM/SPM здійснюють доступ до пам'яті програм у діапазоні адрес \$0000 - \$7FFF (молодші 64 кбайти)
RAMPZ0 = 1:	Інструкції ELPM/SPM виконують доступ до пам'яті програм у діапазоні адрес \$8000 - \$FFFF (старші 64 кбайти)

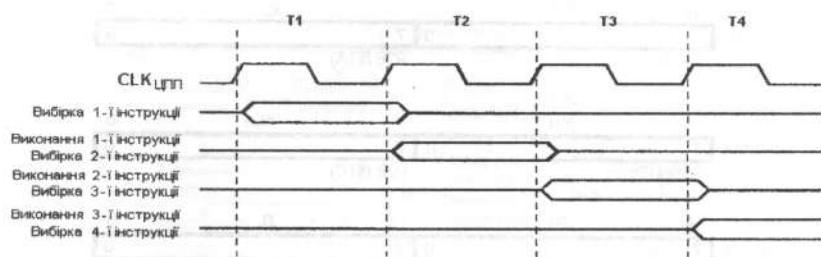


Рисунок 9

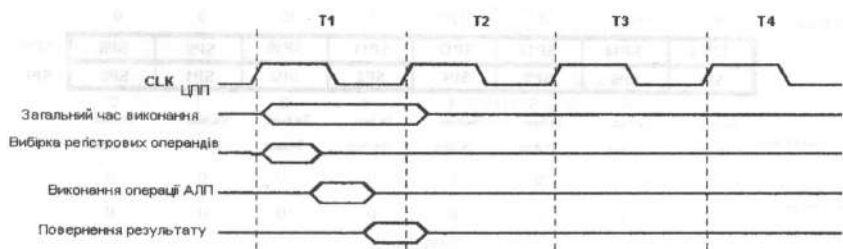


Рисунок 10

Таблиця 2

Приклад коду на Асемблері	Приклад коду на Сі
<pre>in r16, SREG ; запам'ятали стан регiстра статусу SREG cli ; відключаємо всі переривання під час відпрацьовування тимчасової послідовності sbi EECR, EEMWE ; дозволяємо запис в ЕСППЗП sbi EECR, EEWE out SREG, r16 ; відновлюємо значення SREG (біт I)</pre>	<pre>char cSREG; cSREG = SREG; /* запам'ятовуємо значення SREG */ /* відключаємо переривання на час завдання тимчасової послідовності */ CLI(); EECR  = (1&lt;&lt;EEMWE); /* старт запису в ЕСППЗП EEPROM */ EECR  = (1&lt;&lt;EEWE); SREG = cSREG; /* відновлюємо значення SREG (біт I) */</pre>

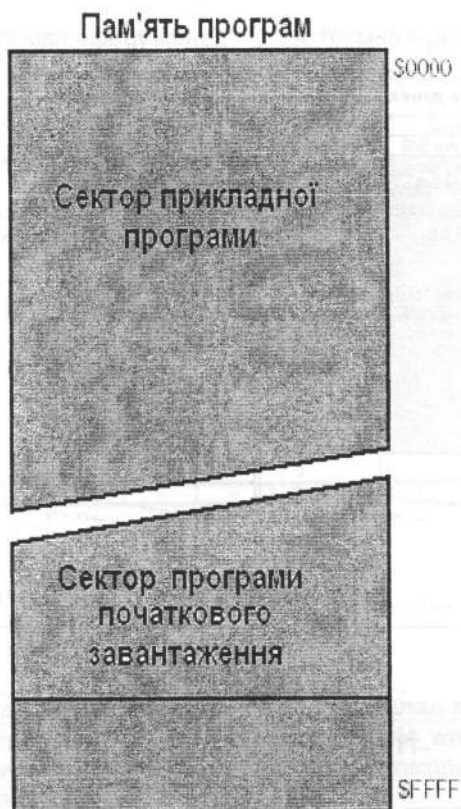


Рисунок 11

**Таблиця 3**

Конфігурування	Вбудований статичний ОЗП пам'яті даних	Зовнішній статичний ОЗП пам'яті даних
Нормальний режим	4096	до 64 кбайт
Режим сумісності з ATmega103	4000	до 64 кбайт

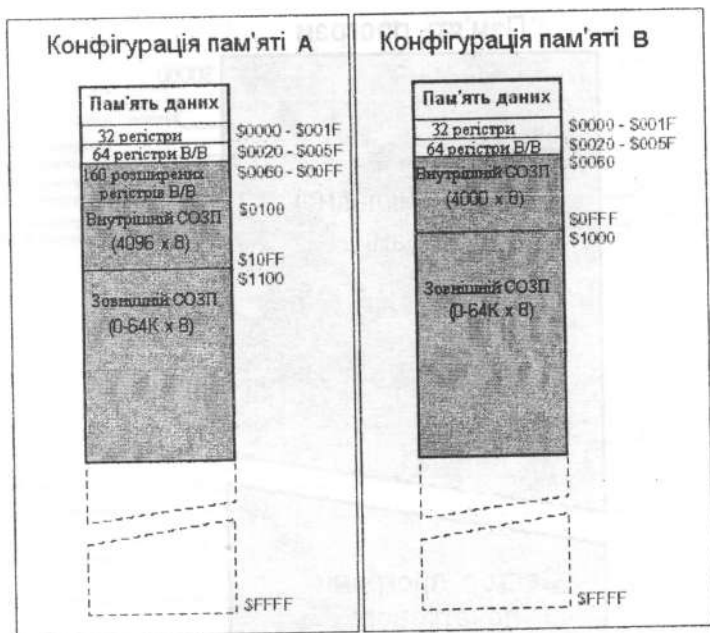


Рисунок 12

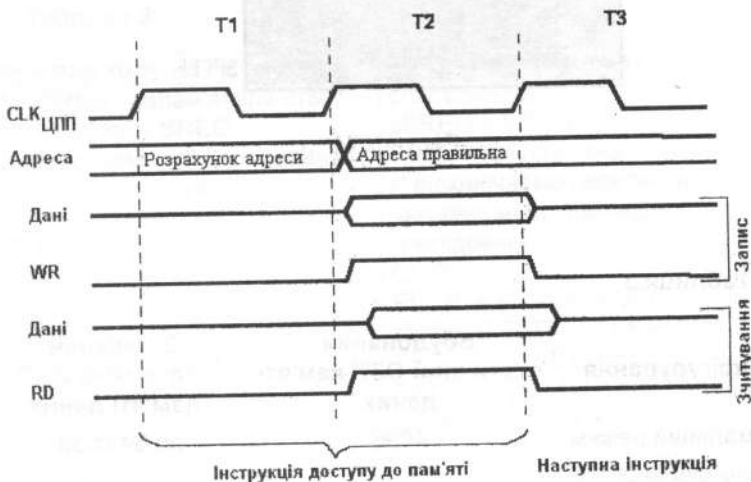


Рисунок 13

Розряд	15	14	13	12	11	10	9	8	
	-	-	-	-	EEAR11	EEAR10	EEAR9	EEAR8	EEARH
	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Зчитувались/запис:	Зч.	Зч.	Зч.	Зч.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Початкове значення	0	0	0	0	X	X	X	X	
	X	X	X	X	X	X	X	X	

Рисунок 14

Розряд	7	6	5	4	3	2	1	0	
	Ст.							Мл.	EEDR
Зчитувались/запис:	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Рисунок 15

Розряд	7	6	5	4	3	2	1	0	
	-	-	-	-	EERIE	EEMWE	EEWE	EERE	EECR
Зчитувались/запис:	Зч.	Зч.	Зч.	Зч.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Початкове значення	0	0	0	0	0	0	X	0	

Рисунок 16

Таблиця 4

Приклад коду на Асемблері	Приклад коду на Сі
<pre> EEPROM_write: ; очікуємо закінчення попереднього запису sbic EECR,EEWE rjmp EEPROM_write ; записуємо адресу (r18:r17) в адресний регістр ЕСППЗП out EEARH, r18 out EEARL, r17 ; записуємо дані (r16) у регістр даних ЕСППЗП out EEDR,r16 ; записуємо логічну одиницю в EEMWE sbi EECR,EEMWE ; запуск запису в ЕСППЗП шляхом установлення EEWE sbi EECR,EEWE ret </pre>	<pre> void EEPROM_write(unsigned int uiAddress, unsigned char ucData) { /* очікуємо закінчення попереднього запису */ while((EECR &amp; (1&lt;&lt;EEWE)) ); /* вказівка адреси й даних */ EEAR = uiAddress; EEDR = ucData; /* записуємо логічну одиницю в EEMWE */ EECR  = (1&lt;&lt;EEMWE); /* запуск запису в ЕСППЗП шляхом установлення EEWE */ EECR  = (1&lt;&lt;EEWE); } </pre>

Таблиця 5

Приклад коду на Асемблері	Приклад коду на Сі
<pre> EEPROM_read: ; очікування завершення попереднього запису sbic EECR,EEWE rjmp EEPROM_read ; установлення адреси (r18:r17) в адресному регістрі out EEARH, r18 out EEARL, r17 ; запуск зчитування ЕСППЗП шляхом установлення EERE sbi EECR,EERE ; зчитування даних з регістра даних ЕСППЗП in r16,EEDR ret </pre>	<pre> unsigned char EEPROM_read(unsigned int uiAddress) { /* очікування завершення попереднього запису*/ while(EECR &amp; (1&lt;&lt;EEWE)) ; /* установлення адресного регістра */ EEAR = uiAddress; /* дозвіл на зчитування з ЕСППЗП шляхом установлення EERE */ EECR  = (1&lt;&lt;EERE); /* повернення даних з регістра даних ЕСППЗП*/ return EEDR; </pre>

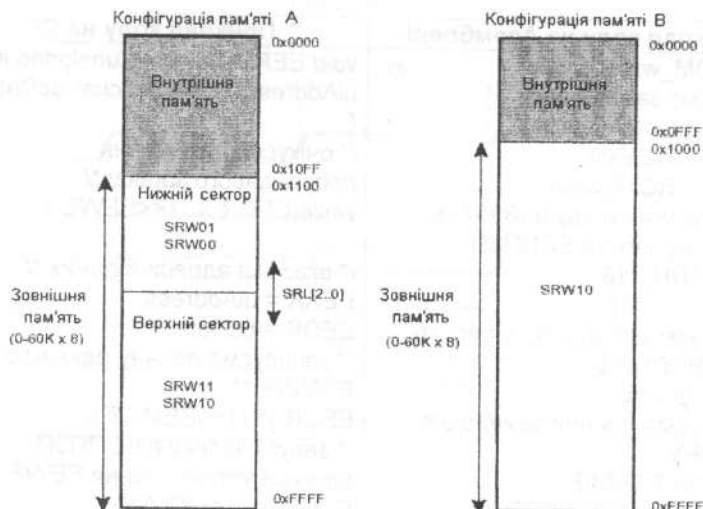


Рисунок 17



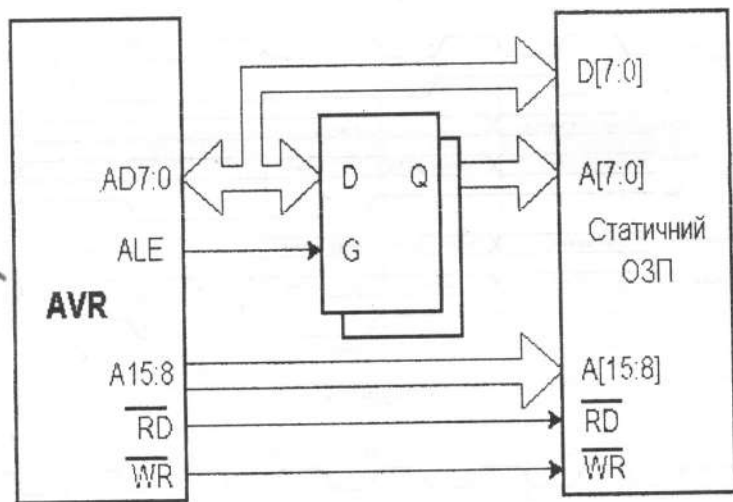


Рисунок 18

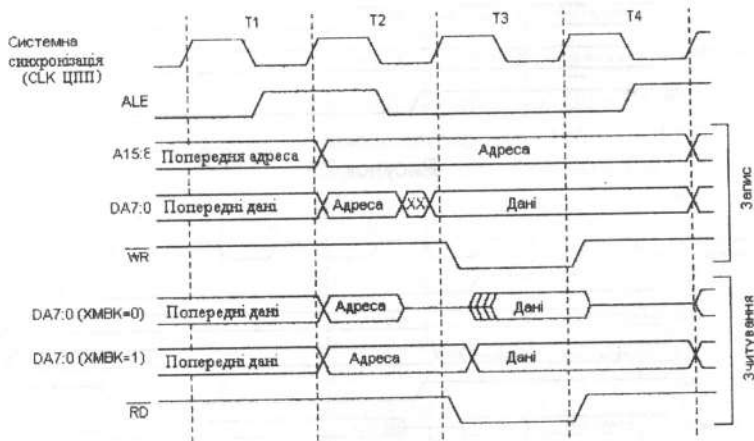


Рисунок 19

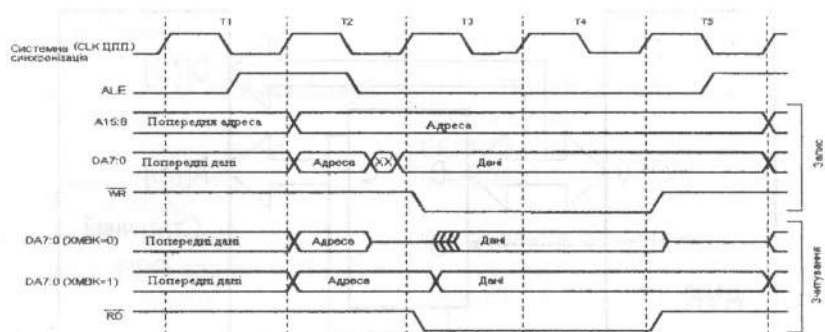


Рисунок 20

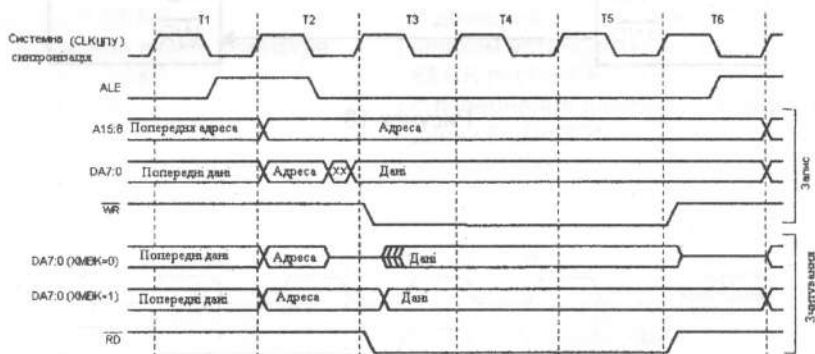


Рисунок 21

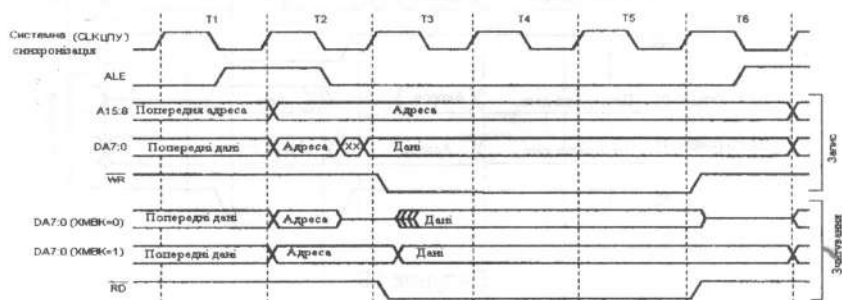


Рисунок 22

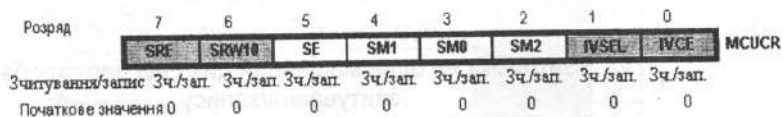


Рисунок 23

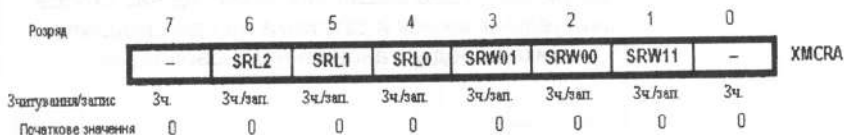


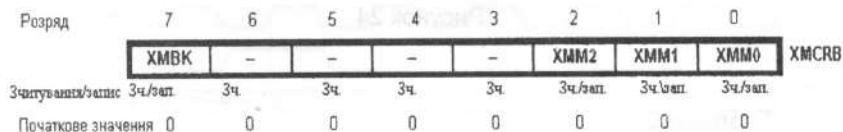
Рисунок 24

Таблиця 6

SRL2	SRL1	SRL0	Межі сектора
0	0	0	Нижній сектор відсутній Верхній сектор – 0x1100 – 0xFFFF
0	0	1	Нижній сектор – 0x1100 – 0x1FFF Верхній сектор – 0x2000 – 0xFFFF
0	1	0	Нижній сектор – 0x1100 – 0x3FFF Верхній сектор – 0x4000 – 0xFFFF
0	1	1	Нижній сектор – 0x1100 – 0x5FFF Верхній сектор – 0x6000 – 0xFFFF
1	0	0	Нижній сектор – 0x1100 – 0x7FFF Верхній сектор – 0x8000 – 0xFFFF
1	0	1	Нижній сектор – 0x1100 – 0x9FFF Верхній сектор – 0x000 – 0xFFFF
1	1	0	Нижній сектор – 0x1100 – 0xBFFF Верхній сектор – 0x000 – 0xFFFF
1	1	1	Нижній сектор – 0x1100 – 0xDFFF Верхній сектор – 0x000 – 0xFFFF

Таблиця 7

SRWn1	SRWn0	Стани очікування
0	0	Відсутні стани очікування
0	1	Затримка на один машинний цикл під час строга зчитування/запису
1	0	Затримка на два машинних цикли під час строга зчитування/запису
1	1	Затримка на два машинних цикли під час строга зчитування/запису й затримка на один машинний цикл перед установленням нової адреси



Рисунк 25

Таблиця 8

XMM2	XMM1	XMM0	Число розрядів адреси зовнішньої пам'яті	Адресні лінії порту, що звільнюються
0	0	0	8 (весь простір – 60 кбайт)	Відсутні
0	0	1	7	PC7
0	1	0	6	PC7 - PC6
0	1	1	5	PC7 - PC5
1	0	0	4	PC7 - PC4
1	0	1	3	PC7 - PC3
1	1	0	2	PC7 - PC2
1	1	1	Старший байт адреси не використовується	Повністю порт

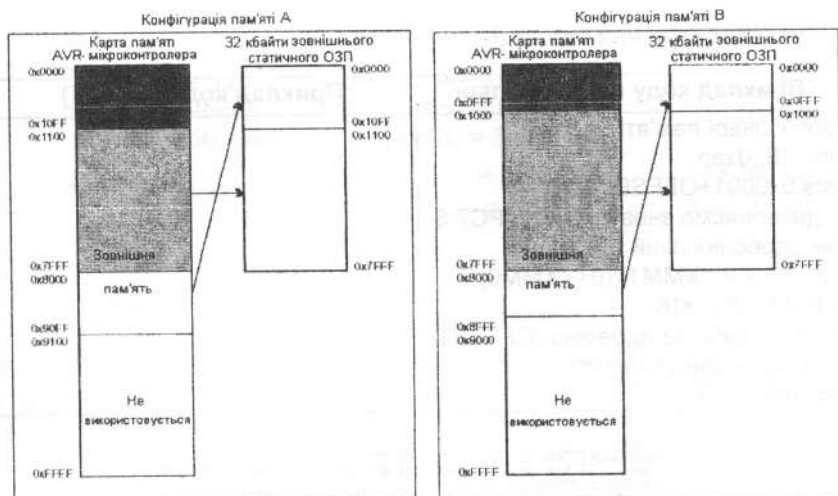


Рисунок 26

Таблиця 9

Приклад коду на Асемблері	Приклад коду на Сі (1)
<p>; визначений зсув OFFSET=0x2000 для гарантування доступу до зовнішньої пам'яті ; конфігуруємо порт (старший байт адреси ) на вивід 0x00, після чого конфігуруємо виводи ; на виконання функцій звичайного порту ldi r16, 0xFF out DDRC, r16 ldi r16, 0x00 out PORTC, r16 ; звільняємо PC7:5 від адресних функцій ldi r16, (1&lt;&lt;XMM1) (1&lt;&lt;XMM0) sts XMCRB, r16 ; запис 0xAA за адресою 0x0001</p>	<pre>#define OFFSET 0x2000 void XRAM_example(void) {   unsigned char *p = (unsigned char   *) (OFFSET + 1);   DDRC = 0xFF;   PORTC = 0x00;   XMCRB = (1&lt;&lt;XMM1)     (1&lt;&lt;XMM0);   *p = 0xaa;   XMCRB = 0x00;   *p = 0x55; }</pre>

## Продовження таблиці 9

Приклад коду на Асемблері	Приклад коду на Сі (1)
зовнішньої пам'яті ldi r16, 0xaa sts 0x0001+OFFSET, r16 ; дозволяємо знову роботу PC7:5 як адресних ліній ldi r16, (0<<XMM1) (0<<XMM0) sts XMCRB, r16 ; запис 0x55 за адресою (OFFSET + 1) зовнішньої пам'яті ldi r16, 0x55	

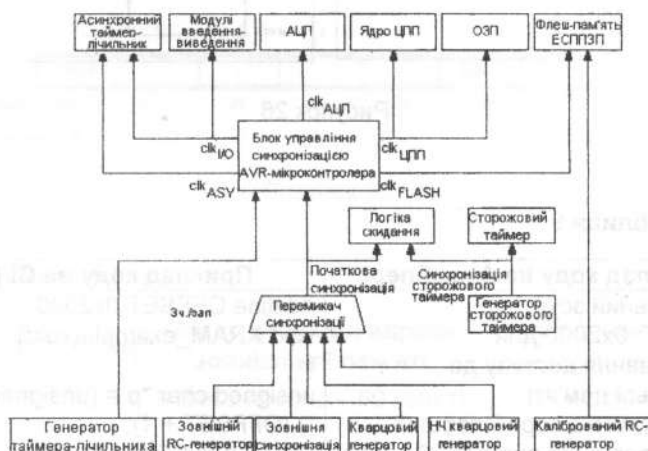


Рисунок 27

Таблиця 10

Джерела синхронізації	CKSEL3..0(1)
Зовнішній кварцовий/керамічний резонатор	1111 – 1010
Зовнішній низькочастотний кварцовий резонатор	1001
Зовнішній RC-генератор	1000 – 0101
Вбудований калібрований RC-генератор	0100 – 0001
Зовнішня синхронізація	0000

Таблиця 11

Типовий час переповнення (VCC = 5.0В), мс	Типовий час переповнення (VCC = 3.0В), мс	Кількість тактів
4,1	4,3	4К (4096)
65	69	64К (65536)

Таблиця 12

СКОРТ	СКSEL3..1	Частотний діапазон, МГц	Діапазон номіналів, що рекомендується для С1 і С2 при використанні кварцового резонатора, пФ
1	101 (2)	0,4...0,9	—
1	110	0,9...3,0	12...22
1	111	3,0...8,0	12...22
0	101, 110, 111	1,0...	12...22

Таблиця 13

СКSEL0	SUT1..0	Тривалість затримки при виході з режиму вимикання і економічного режиму	Додаткова затримка після скидання (VCC = 5.0В), мс	Область застосування
0	00	258 СК(1)	4,1	Керамічний резонатор, швидко наростаюче живлення
0	01	258 СК(1)	65	Керамічний резонатор, повільно наростаюче живлення

Продовження таблиці 13

CKSEL0	SUT1..0	Тривалість затримки при виході з режиму вимикання і економічного режиму	Додаткова затримка після скидання (VCC= 5.0В), мс	Область застосування
0	10	1К СК(2)	–	Керамічний резонатор, детектор живлення(BOD) ввімкнено
0	11	1К СК(2)	4,1	Керамічний резонатор, швидко наростаюче живлення
1	00	1К СК(2)	65	Керамічний резонатор, повільно наростаюче живлення
1	01	16К СК	–	Кварцовий генератор, детектор живлення (BOD) підімкнено
1	10	16К СК	4,1	Кварцовий резонатор, швидко наростаюче живлення
1	11	16К СК	65	Кварцовий резонатор, повільно наростаюче живлення



Таблиця 14

SUT1..0	Тривалість затримки при виході з режиму вимикання і економічного режиму	Додаткова затримка після скидання (VCC = 5.0В), мс	Область застосування
00	1К СК(1)	4,1	Швидко наростаюче живлення або ввімкнено детектор живлення BOD
01	1К СК(1)	65	Повільно наростаюче живлення
10	32К СК	65	Стабільна частота при старті
11	Зарезервовано		

Таблиця 15

СКSEL3..0	Частотний діапазон, МГц
0101	... 0,9
0110	0,9...3,0
0111	3,0...8,0
1000	8,0...12,0

Таблиця 16

SUT1..0	Тривалість затримки при виході з режиму вимикання і економічного режиму	Додаткова затримка після скидання (VCC= 5.0В), мс	Область застосування
00	18 СК(1)	–	Ввімкнено детектор живлення BOD
01	18 СК	4,1	Швидко наростаюче живлення
10	18 СК	65	Повільно наростаюче живлення
11	6 СК (1)	4,1	Швидко наростаюче живлення або ввімкнено детектор живлення BOD

Таблиця 17

CKSEL3..0	Номінальна частота, МГц
0001	1.0
0010	2.0
0011	4.0
0100	8.0

Таблиця 18

SUT1..0	Тривалість затримки при виході з режиму вимикання і економічного режиму	Додаткова затримка після скидання (VCC = 5.0В), мс	Область застосування
00	6 СК	–	Ввімкнено детектор живлення BOD
01	6 СК	4.1	Швидко наростаюче живлення
10(1)	6 СК	65	Повільно наростаюче живлення
11	Зарезервовано		

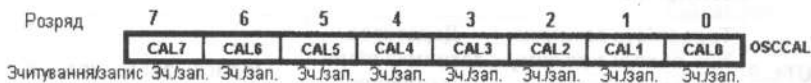


Рисунок 28

Таблиця 19

Значення OSCCAL	Мінімальна частота у відсотках від номінальної, %	Максимальна частота у відсотках від номінальної, %
\$00	50	100
\$7F	75	150
\$FF	100	200

Таблиця 20

SUT1..0	Тривалість затримки при виході з режиму вимикання і економічного режиму	Додаткова затримка після скидання (VCC= 5.0В), мс	Область застосування
00	6 СК	–	Ввімкнено детектор живлення BOD
01	6 СК	4,1	Швидко наростаюче живлення
10(1)	6 СК	65	Повільно наростаюче живлення
11	Зарезервовано		

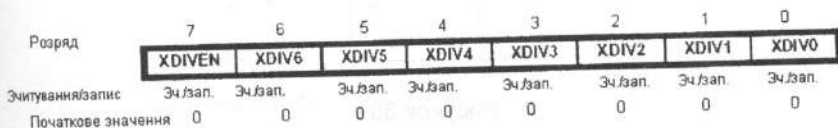


Рисунок 29

Таблиця 21

SM2	SM1	SM0	Найменування режиму сну
0	0	0	Холостий хід
0	0	1	Зменшення шумів АЦП
0	1	0	Вимикання
0	1	1	Економічний
1	0	0	Зарезервований
1	0	1	Зарезервований
1	1	0	Черговий
1	1	1	Розширений черговий

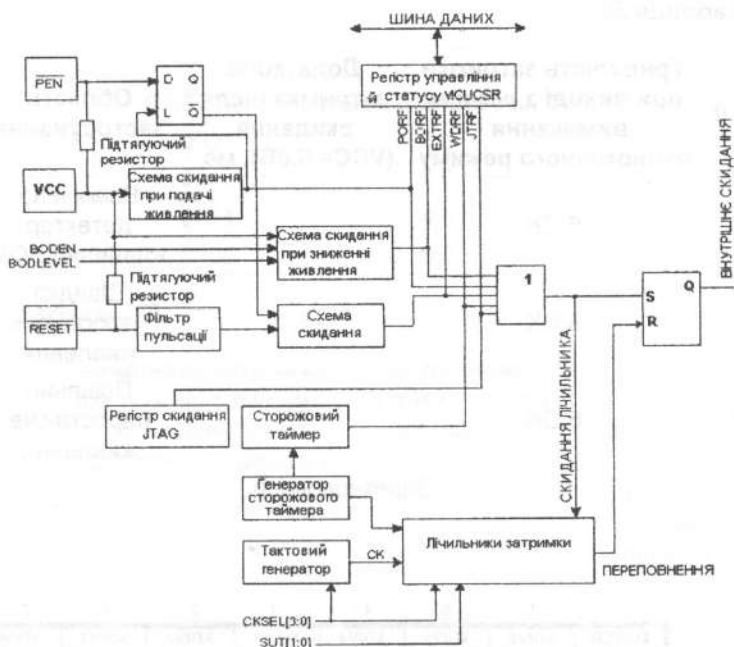


Рисунок 30

Таблиця 22

Позначення	Параметр	Умова	Мінімальний	Типовий	Максимальний	Одиниця вимірювання
$V_{POT}$	Гранична напруга скидання при підвищенні живлення			1,4	2,3	В
	Гранична напруга скидання при зниженні живлення			1,3	2,3	В
$V_{RST}$	Граничний рівень скидання на виводі RESET		0,2 $V_{CC}$		0,85 $V_{CC}$	В

Продовження таблиці 22

Позначення	Параметр	Умова	Мінімальний	Типовий	Максимальний	Одиниця вимірювання
$t_{RST}$	Мінімальна тривалість імпульсу скидання на виводі RESET			50		нс
$V_{BOT}$	Поріг напруги скидання схеми контролю живлення BOD(2)	BODLE VEL = 1	2,4	2,6	2,9	В
		BODLE VEL = 0	3,7	4,0	4,5	В
$t_{BOD}$	Мінімальна тривалість зниження напруги для спрацювання схеми контролю живлення	BODLE VEL = 1		2		мкс
		BODLE VEL = 0		2		мкс
$V_{HYST}$	Ширина петлі гістерезису схеми контролю живлення			50		мВ

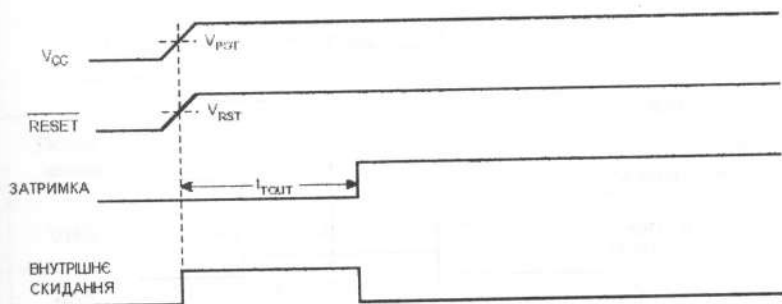


Рисунок 31

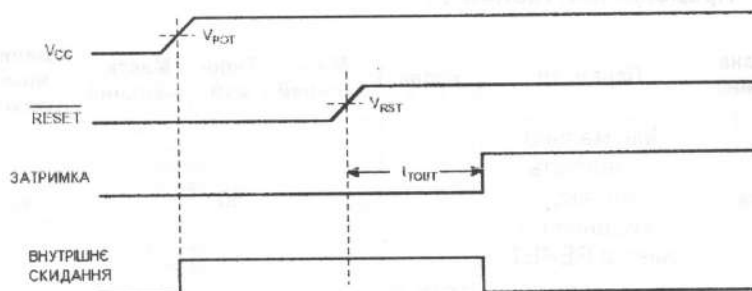


Рисунок 32

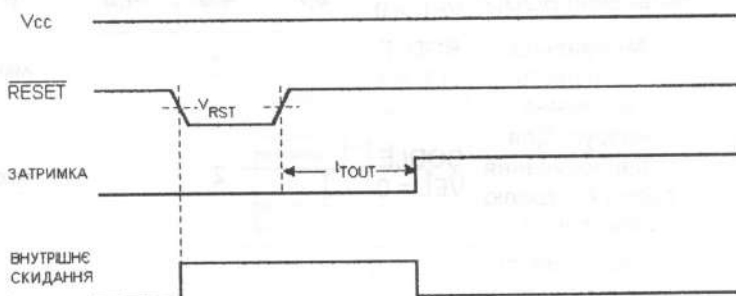


Рисунок 33

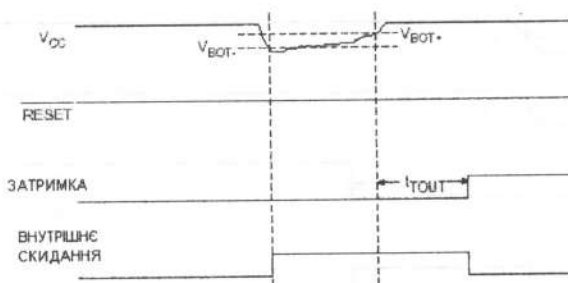


Рисунок 34

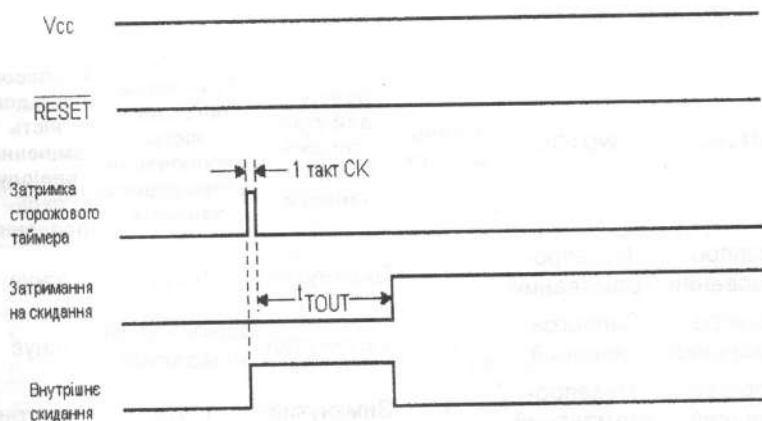


Рисунок 35

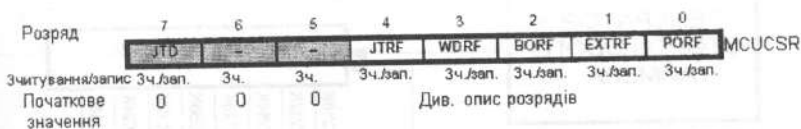


Рисунок 36

Таблиця 23

Позначення	Параметр	Мінімальний	Типовий	Максимальний	Одиниця вимірювання
VBG	Напруга ДОН	1,15	1,23	1,40	В
tBG	Тривалість запуску ДОН		40	70	мкс
IBG	Споживаний струм ДОН		10		мкА

Таблиця 24

M103C	WDTON	Рівень безпеки	Початковий стан сторожового таймера	Тимчасова послідовність відключення сторожового таймера	Тимчасова послідовність змінення періоду переповнення
Незапрограмований	Незапрограмований	1	Вимкнтий	Існує	Існує
Незапрограмований	Запрограмований	2	Увімкнтий	Відключення неможливе	Існує
Запрограмований	Незапрограмований	0	Вимкнтий	Існує	Відсутня
Запрограмований	Запрограмований	2	Увімкнтий	Відключення неможливе	Існує

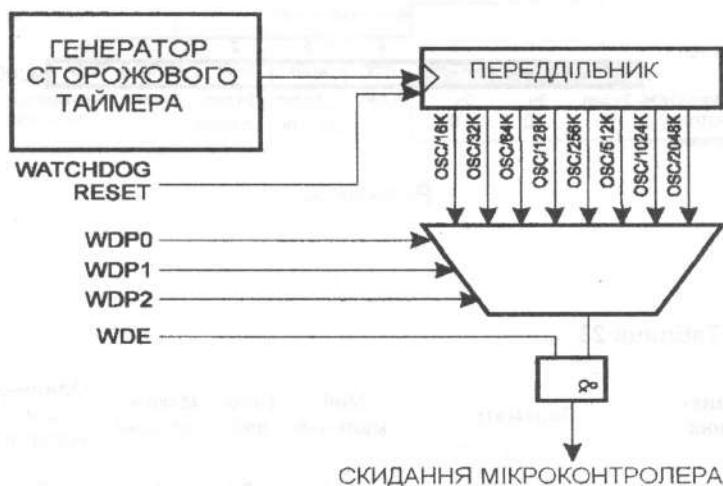


Рисунок 37

Розряд	7	6	5	4	3	2	1	0	WDTCSR
Значування/значис Початкове значення	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	
Зч.	3ч.	3ч.	3ч.	3ч./зат.	3ч./зат.	3ч./зат.	3ч./зат.	3ч./зат.	
Початкове значення	0	0	0	0	0	0	0	0	

Рисунок 38



Таблиця 25

WDP2	WDP1	WDP0	Кількість тактів генератора сторожового таймера	Типовий час переповнення при VCC = 3.0В	Типовий час переповнення при VCC = 5.0В
0	0	0	16К (16,384)	17,1 мс	16,3 мс
0	0	1	32К (32,768)	34,3 мс	32,5 мс
0	1	0	64К (65,536)	68,5 мс	65 мс
0	1	1	128К (131,072)	0,14 с	0,13 с
1	0	0	256К (262,144)	0,27 с	0,26 с
1	0	1	512К (524,288)	0,55 с	0,52 с
1	1	0	1,024К (1,048,576)	1,1 с	1,0 с
1	1	1	2,048К (2,097,152)	2,2 с	2,1 с

Таблиця 26

Приклад коду на Асемблері	Приклад коду на Сі
<pre> WDT_off: ; запис логічної одиниці в WDCE й WDE ldi r16, (1&lt;&lt;WDCE) (1&lt;&lt;WDE) out WDTCSR, r16 ; вимкнення сторожового таймера ldi r16, (0&lt;&lt;WDE) out WDTCSR, r16 ret </pre>	<pre> void WDT_off(void) { /* запис логічної одиниці в WDCE й WDE */ WDTCSR = (1&lt;&lt;WDCE)   (1&lt;&lt;WDE); /* вимкнення сторожового таймера */ WDTCSR = 0x00; } </pre>

Таблиця 27

Номер вектора	Адреса пам'яті програм	Джерело	Умова виникнення переривання
1	\$0000(1)	RESET	Зовнішнє скидання, скидання при подачі живлення, скидання при неприпустимому зниженні живлення, скидання сторожовим таймером і скидання через JTAG-інтерфейс
2	\$0002	INT0	Запит на зовнішнє переривання 0
3	\$0004	INT1	Запит на зовнішнє переривання 1
4	\$0006	INT2	Запит на зовнішнє переривання 2
5	\$0008	INT3	Запит на зовнішнє переривання 3
6	\$000A	INT4	Запит на зовнішнє переривання 4
7	\$000C	INT5	Запит на зовнішнє переривання 5
8	\$000E	INT6	Запит на зовнішнє переривання 6
9	\$0010	INT7	Запит на зовнішнє переривання 7
10	\$0012	TIMER2 COMP	Спрацьовування компаратора таймера-лічильника 2
11	\$0014	TIMER2 OVF	Переповнення таймера-лічильника 2
12	\$0016	TIMER1 CAPT	Захват фронту таймером-лічильником 1
13	\$0018	TIMER1 COMPA	Спрацьовування компаратора А таймера-лічильника 1
14	\$001A	TIMER1 COMPB	Спрацьовування компаратора В таймера-лічильника 1
15	\$001C	TIMER1 OVF	Переповнення таймера-лічильника 1
16	\$001E	TIMER0 COMP	Спрацьовування компаратора таймера-лічильника 0
17	\$0020	TIMER0 OVF	Переповнення таймера-лічильника 0
18	\$0022	SPI, STC	Завершення послідовної передачі інтерфейсом SPI

Продовження таблиці 27

Номер вектора	Адреса пам'яті програм(4)	Джерело	Умова виникнення переривання
19	\$0024	USART0, RX	Завершення прийому УСАПП0
20	\$0026	USART0, UDRE	Регістр даних УСАПП0 вільний
21	\$0028	USART0, TX	Завершення передачі УСАПП0
22	\$002A	ADC	Завершення перетворення АЦП
23	\$002C	EE READY	Готовність ЕСППЗП
24	\$002E	ANALOG COMP	Аналоговий компаратор
25	\$0030(3)	TIMER1 COMPC	Спрацьовування компаратора 3 таймера-лічильника 1
26	\$0032(3)	TIMER3 CAPT	Захват фронту таймером- лічильником 3
27	\$0034(3)	TIMER3 COMPA	Спрацьовування компаратора А таймера-лічильника 3
28	\$0036(3)	TIMER3 COMPB	Спрацьовування компаратора В таймера-лічильника 3
29	\$0038(3)	TIMER3 COMPC	Спрацьовування компаратора 3 таймера-лічильника 3
30	\$003A(3)	TIMER3 OVF	Переповнення таймера-лічильника 3
31	\$003C(3)	USART1, RX	Завершення прийому УСАПП 1
32	\$003E(3)	USART1, UDRE	Регістр даних УСАПП1 вільний
33	\$0040(3)	USART1, TX	Завершення передачі УСАПП1
34	\$0042(3)	I2C	Двопровідний послідовний інтерфейс
35	\$0044(3)	SPM READY	Готовність запису в пам'ять програм

Таблиця 28

BOOTRST	IVSEL	Адреса скидання	Початкова адреса векторів переривань
1	0	\$0000	\$0002
1	1	\$0000	Адреса скидання в завантажувальному секторі + \$0002
0	0	Адреса скидання в завантажувальному секторі	\$0002
0	1	Адреса скидання в завантажувальному секторі	Адреса скидання в завантажувальному секторі + \$0002

Таблиця 29

Розряд	7	6	5	4	3	2	1	0	
Позначення	SRE	SRW 10	SE	SM1	SM0	SM2	IVSEL	IVCE	MCUCR
Зчитування/запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 30

Приклад коду на Асемблері	Приклад коду на Сі
<pre> Move_interrupts: ; дозвіл на змінення векторів переривань ldi r16, (1&lt;&lt;IVCE) out MCUCR, r16 ; переміщення векторів у завантажувальний сектор флеш- пам'яті ldi r16, (1&lt;&lt;IVSEL) out MCUCR, r16 ret </pre>	<pre> void Move_interrupts(void) { /* дозвіл на змінення векторів переривань */ MCUCR = (1&lt;&lt;IVCE); /* переміщення векторів у завантажувальний сектор флеш- пам'яті */ MCUCR = (1&lt;&lt;IVSEL); } </pre>

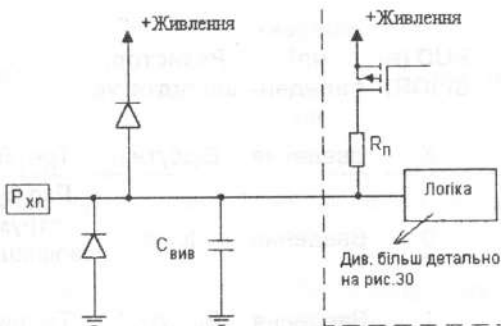


Рисунок 39

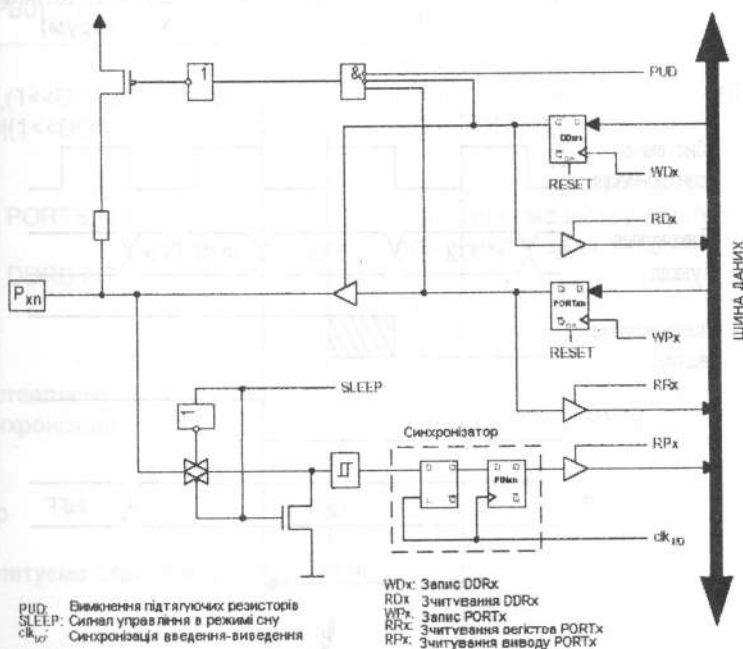


Рисунок 40

Таблиця 31

DDxn	PORTxn	PUD (в SFIOR)	Введення/ виведення	Резистор, що підтягує	Коментарій
0	0	X	Введення	Відсутній	Третій стан (Z-стан)
0	1	0	Введення	Існує	Rxn буде джерелом струму при подачі зовнішнього низького рівня
0	1	1	Введення	Відсутній	Третій стан (Z-стан)
1	0	X	Виведення	Відсутній	Виведення логічного нуля (втічний струм)
1	1	X	Виведення	Відсутній	Виведення логічної одиниці (втічний струм)

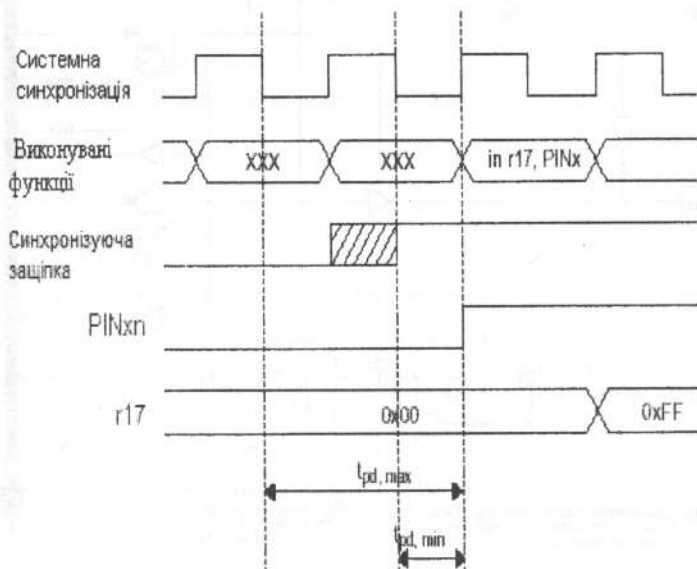
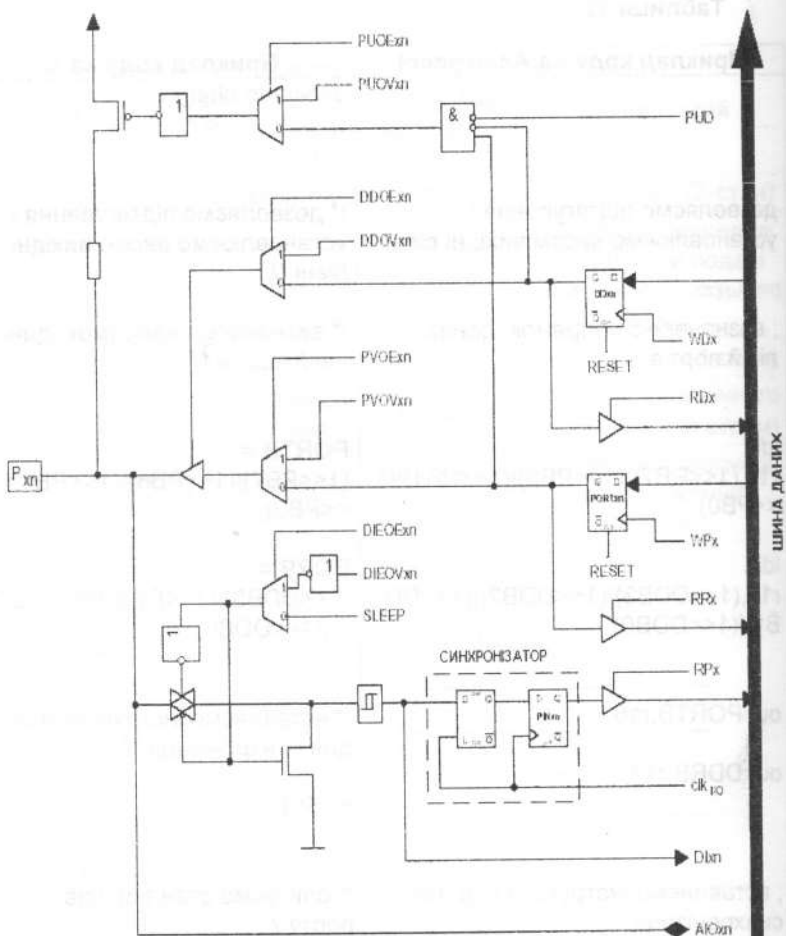


Рисунок 41

Таблиця 32

Приклад коду на Асемблері	Приклад коду на Сі
<pre> ... ; ; дозволяємо підтягування і ; встановлюємо високі вихідні рівні  ; визначаємо напрямок даних ; ліній портів  ldi r16,(1&lt;&lt;PB7) (1&lt;&lt;PB6) (1&lt;&lt;PB1) (1 &lt;&lt;PB0)  ldi r17,(1&lt;&lt;DDB3) (1&lt;&lt;DDB2) (1&lt;&lt;DDB 1) (1&lt;&lt;DDB0)  out PORTB,r16  out DDRB,r17  ; вставляємо інструкцію пор для ; синхронізації  por  ; опитуємо стан виводів порту  in r16,PINB ... </pre>	<pre> unsigned char i; ...  /* дозволяємо підтягування і установлюємо високі вихідні рівні */  /* визначаємо напрямок даних ліній портів */  PORTB = (1&lt;&lt;PB7) (1&lt;&lt;PB6) (1&lt;&lt;PB1) (1 &lt;&lt;PB0);  DDRB = (1&lt;&lt;DDB3) (1&lt;&lt;DDB2) (1&lt;&lt;DDB 1) (1&lt;&lt;DDB0);  /* вставляємо інструкцію пор для синхронізації */  NOP();  /* опитуємо стан виводів порту*/  i = PINB; ... </pre>



PUCExn: Дозвіл на альтернативне керування підтягуванням  
 PUCVxn: Альтернативне керування підтягуванням  
 DDOExn: Дозвіл на задання альтернативного напрямку  
 DDOVxn: Значення альтернативного напрямку  
 PVOExn: Дозвіл на задання альтернативного вихідного стану  
 PVOVxn: Альтернативний вихідний стан порту  
 DIEOExn: Дозвіл на альтернативне цифрове введення  
 DIEOVxn: Альтернативний стан цифрового введення  
 SLEEP: Управління в режимі сну

PUD: Відключення підтягування  
 WDr: Запис в DDRx  
 RDr: Зчитування з DDRx  
 RPr: Зчитування регістра PORTx  
 WPr: Запис в PORTx  
 RPr: Зчитування стану виведення PORTx  
 clk<sub>IO</sub>: Синхронізація введення-виведення  
 Dbn: Цифрове введення PIN n порту x  
 AIOxn: Аналогове введення-виведення ліній n порту x

Рисунок 42



Таблиця 33

Найменування сигналу	Повне найменування	Опис
PUOE	Дозвіл на альтернативне керування підтягуванням	Якщо даний сигнал встановлено, то підключення підтягуючого резистора визначається значенням сигналу PUOV. Якщо цей сигнал скинуто, то підтягуючий резистор підключається, якщо $\{DDxп, PORTxп, PUD\} = 0b010$
PUOV	Альтернативне керування підтягуванням	Якщо PUOE встановлено, то підтягуючий резистор підключається/відключається, якщо PUOV встановлено/скинуто незалежно від стану регістрових біт DDxп, PORTxп й PUD
DDOE	Дозвіл на задання альтернативного напрямку	Якщо цей сигнал встановлено, то дозвіл на роботу вихідного драйвера визначається значенням сигналу DDOV. Якщо цей сигнал скинуто, то робота вихідного драйвера дозволяється регістровим бітом DDxп
DDOV	Значення альтернативного напрямку	Якщо DDOE встановлено, то робота вихідного драйвера дозволяється/забороняється, коли DDOV встановлено/скинуто незалежно від стану регістрового біта DDxп
PVOE	Дозвіл на задання альтернативного вихідного стану порту	Якщо даний сигнал встановлено й дозволено роботу вихідного драйвера, то стан на виході порту визначається сигналом PVOV. Якщо PVOE скинуто й дозволено роботу вихідного драйвера, то стан на виході порту визначається регістровим бітом PORTxп

Продовження таблиці 33

Найменування сигналу	Повне найменування	Опис
PVOV	Альтернативний вихідний стан порту	Якщо PVOE встановлено, то вихід порту набуває стану PVOV незалежно від установлення регістрового біта PORTxп
DIEOE	Дозвіл на альтернативне цифрове введення	Якщо такий біт встановлено, то функція дозволу на цифрове введення передається сигналу DIEOV. Якщо цей сигнал скинуто, то дозвіл на цифрове введення визначається станом мікроконтролера (нормальний режим, режими сну)
DIEOV	Альтернативний стан цифрового введення	Коли DIEOE встановлено, то цифрове введення дозволено/заборонено, якщо DIEOV встановлено/скинуто незалежно від стану мікроконтролера (нормальний режим, режими сну)
DI	Цифрове введення	Сигнал цифрового введення для альтернативних функцій. На рисунку 42 показано, що сигнал підключено до виходу тригера Шмітта перед синхронізатором. Якщо цифрове введення застосовується як джерело синхронізації, то модуль з альтернативною функцією буде використовувати свій власний синхронізатор

### Продовження таблиці 33

Найменування сигналу	Повне найменування	Опис
AIO	Аналогове введення-виведення	Сигнал аналогового введення/виведення до/з модуля з альтернативною функцією. Сигнал підключається безпосередньо до контактної площадки й може використовуватися двоспрямовано

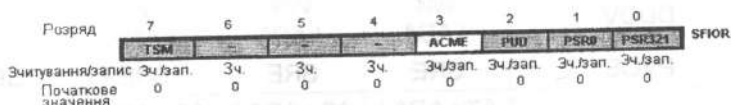


Рисунок 43

Таблиця 34

Вивід порту	Альтернативна функція
PA7	AD7 (розряд 7 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA6	AD6 (розряд 6 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA5	AD5 (розряд 5 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA4	AD4 (розряд 4 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA3	AD3 (розряд 3 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA2	AD2 (розряд 2 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA1	AD1 (розряд 1 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)
PA0	AD0 (розряд 0 шини адреси й шини даних зовнішнього інтерфейсу пам'яті)

Таблиця 35

Найменування сигналу	PA7/AD7	PA6/AD6	PA5/AD5	PA4/AD4
PUOE	SRE	SRE	SRE	SRE
PUOV	~( WR   ADA (1) • PORTA7 • PUD	~( WR   ADA) • PORTA6 • PUD	~( WR   ADA) • PORTA5 • PUD	~( WR   ADA) • PORTA4 • PUD
DDOE	SRE	SRE	SRE	SRE
DDOV	WR   ADA	WR   ADA	WR   ADA	WR   ADA
PVOE	SRE	SRE	SRE	SRE
PVOV	A7 • ADA   D7 OUTPUT • WR	A6 • ADA   D6 OUTPUT • WR	A5 • ADA   D5 OUTPUT • WR	A4 • ADA   D4 OUTPUT • WR
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	D7 INPUT	D6 INPUT	D5 INPUT	D4 INPUT
AIO	-	-	-	-

Таблиця 36

Найменування сигналу	PA3/AD3	PA2/AD2	PA1/AD1	PA0/AD0
PUOE	SRE	SRE	SRE	SRE
PUOV	~( WR   ADA) • PORTA3 • PUD	~( WR   ADA) • PORTA2 • PUD	~( WR   ADA) • PORTA1 • PUD	~( WR   ADA) • PORTA0 • PUD
DDOE	SRE	SRE	SRE	SRE
DDOV	WR   ADA	WR   ADA	WR   ADA	WR   ADA
PVOE	SRE	SRE	SRE	SRE

Продовження таблиці 36

Найменування сигналу	PA3/AD3	PA2/AD2	PA1/AD1	PA0/AD0
PVOV	A3 • ADA   D3 OUTPUT • WR	A2 • ADA   D2 OUTPUT • WR	A1 • ADA   D1 OUTPUT • WR	A0 • ADA   D0 OUTPUT • WR
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	D3 INPUT	D2 INPUT	D1 INPUT	D0 INPUT
AIO	–	–	–	–

Таблиця 37

Вивід порту	Альтернативна функція
PB7	OC2/OC1C (виходи компаратора й ШІМ таймера-лічильника 2 або виходи 3 компаратора й ШІМ таймера-лічильника 1)
PB6	OC1B (виходи В компаратора й ШІМ таймера-лічильника 1)
PB5	OC1A (виходи А компаратора й ШІМ таймера-лічильника 1)
PB4	OC0 (виходи компаратора й ШІМ таймера-лічильника 0)
PB3	MISO (введення провідної/виведення підпорядкованої шини SPI)
PB2	MOSI (виведення провідної/введення підпорядкованої шини SPI)
PB1	SCK (синхронізація послідовного зв'язку шини SPI)
PB0	SS (вхід вибору підпорядкованого режиму інтерфейсу SPI)

Таблиця 38

Найменування сигналу	PB7/OC2/OC1C	PB6/OC1B	PB5/OC1A	PB4/OC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	Дозвіл на OC2/OC1C (1)	Дозвіл на OC1B	Дозвіл на OC1A	Дозвіл на OC0

Продовження таблиці 38

Найменування сигналу	PB7/OC2/OC1C	PB6/OC1B	PB5/OC1A	PB4/OC0
PVOV	OC2/OC1C(1)	OC1B	OC1A	OC0B
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	-	-	-	-
AIO	-	-	-	-

Таблиця 39

Найменування сигналу	PB3/MISO	PB2/MOSI	PB1/SCK	PB0/SS
PUOE	SPE• MSTR	SPE• MSTR	SPE• MSTR	SPE• MSTR
PUOV	PORTB3• PUD	PORTB2• PUD	PORTB1• PUD	PORTB0• PUD
DDOE	SPE • MSTR	SPE• MSTR	SPE• MSTR	SPE• MSTR
DDOV	0	0	0	0
PVOE	SPE• MSTR	SPE• MSTR	SPE• MSTR	0
PVOV	SPI SLAVE OUTPUT	SPI MSTR OUTPUT	SCK OUTPUT	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	-	-	-	-
AIO	-	-	-	-

Таблиця 40

Вивід порту	Альтернативна функція
PC7	A15 (розряд 15) шини адреси зовнішнього інтерфейсу пам'яті
PC6	A14 (розряд 14) шини адреси зовнішнього інтерфейсу пам'яті
PC5	A13 (розряд 13) шини адреси зовнішнього інтерфейсу пам'яті
PC4	A12 (розряд 12) шини адреси зовнішнього інтерфейсу пам'яті
PC3	A11 (розряд 11) шини адреси зовнішнього інтерфейсу пам'яті
PC2	A10 (розряд 10) шини адреси зовнішнього інтерфейсу пам'яті
PC1	A9 (розряд 9) шини адреси зовнішнього інтерфейсу пам'яті
PC0	A8 (розряд 8) шини адреси зовнішнього інтерфейсу пам'яті

Таблиця 41

Найменування сигналу	PC7/A15	PC6/A14	PC5/A13	PC4/A12
PUOE	SRE • (XMM<1)	SRE • (XMM<2)	SRE • (XMM<3)	SRE • (XMM<4)
PUOV	0	0	0	0
DDOE	SRE • (XMM<1)	SRE • (XMM<2)	SRE • (XMM<3)	SRE • (XMM<4)
DDOV	1	1	1	1
PVOE	SRE • (XMM<1)	SRE • (XMM<2)	SRE • (XMM<3)	SRE • (XMM<4)
PVOV	A11	A10	A9	A8
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	–	–	–	–

Таблиця 42

Найменування сигналу	PC3/A11	PC2/A10	PC1/A9	PC0/A8
PUOE	SRE • (XMM<5)	SRE • (XMM<6)	SRE • (XMM<7)	SRE • (XMM<7)
PUOV	0	0	0	0
DDOE	SRE • (XMM<5)	SRE • (XMM<6)	SRE • (XMM<7)	SRE • (XMM<7)
DDOV	1	1	1	1
PVOE	SRE • (XMM<5)	SRE • (XMM<6)	SRE • (XMM<7)	SRE • (XMM<7)
PVOV	A11	A10	A9	A8
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	–	–	–	–
AIO	–	–	–	–

Таблиця 43

Вивід порту	Альтернативна функція
PD7	T2 (вхід синхронізації таймера-лічильника 2)
PD6	T1 (вхід синхронізації таймера-лічильника 1)
PD5	XCK1 (вхід/вихід зовнішньої синхронізації УСАПП1)
PD4	IC1 (вхід тригера захвата фронту таймера-лічильника 1)
PD3	INT3/TXD1 (вхід зовнішнього переривання 3 або вихід передачі УАПП1)
PD2	INT2/RXD1 (вхід зовнішнього переривання 2 або вхід прийому УАПП1)
PD1	INT1/SDA (вхід зовнішнього переривання 1 або введення/виведення послідовних даних TWI)
PD0	INT0/SCL (вхід зовнішнього переривання 0 або синхронізація послідовного зв'язку TWI)



Таблиця 44

Найменування сигналу	PD7/T2	PD6/T1	PD5/XCK1	PD4/IC1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	UMSEL1	0
PVOV	0	0	XCK1 OUTPUT	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	T2 INPUT	T1 INPUT	XCK1 INPUT	IC1 INPUT
AIO	-	-	-	-

Таблиця 45

Найменування сигналу	PD3/INT3/TXD1	PD2/INT2/RXD1	PD1/INT1/SDA	PD0/INT0/SCL
PUOE	TXEN1	RXEN1	TWEN	TWEN
PUOV	0	PORTD2• PUD	PORTD1• PUD	PORTB0• PUD
DDOE	SPE • MSTR	SPE• MSTR	SPE• MSTR	SPE• MSTR
DDOV	TXEN1	RXEN1	TWEN	TWEN
PVOE	1	0	SDA_OUT	SCL_OUT
PVOV	TXEN1	0	TWEN	TWEN
DIEOE	INT3 ENABLE	INT2 ENABLE	INT1 ENABLE	INT0 ENABLE
DIEOV	1	1	1	1
DI	INT3 INPUT	INT2 INPUT/RXD1	INT1 INPUT	INT0 INPUT
AIO	-	-	SDA INPUT	SCL INPUT

Таблиця 46

Вивід порту	Альтернативна функція
PE7	INT7/IC3 (вхід зовнішнього переривання 7 або вхід тригера захвату фронту таймера-лічильника 3)
PE6	INT6/ T3 (вхід зовнішнього переривання 6 або вхід синхронізації таймера-лічильника 3)
PE5	INT5/OC3C (вхід зовнішнього переривання 5 або вихід 3 компаратора й ШІМ таймера-лічильника 3)
PE4	INT4/OC3B (вхід зовнішнього переривання 4 або вихід В компаратора й ШІМ таймера-лічильника 3)
PE3	AIN1/OC3A (інвертуючий вхід аналогового компаратора або вихід А компаратора й ШІМ таймера-лічильника 3)
PE2	AIN0/XCK0 (інвертуючий вхід аналогового компаратора або вхід/вихід зовнішньої синхронізації УСАПП0)
PE1	PDO/TXD0 (виведення програмуючих даних або виведення передачі УАПП0)
PE0	PDI/RXD0 (введення програмуючих даних або виведення прийому УАПП0)

Таблиця 47

Найменування сигналу	PE7/INT7/IC3	PE6/INT6/T3	PE5/INT5/OC3C	PE4/INT4/OC3B
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	OC3C ENABLE	OC3B ENABLE
PVOV	0	0	OC3C	OC3B
DIEOE	INT7 ENABLE	INT6 NABLE	INT5 ENABLE	INT4 ENABLE
DIEOV	1	1	1	1
DI	INT7 INPUT/IC3 INPUT	INT7 INPUT/T3 INPUT	INT5 INPUT	INT4 INPUT
AIO	-	-	-	-

Таблиця 48

Найменування сигналу	PE3/AIN1/OC3A	PE2/AIN0/XCK0	PE1/PDO/TXD0	PE0/PDI/RXD0
PUOE	0	0	TXEN0	RXEN0
PUOV	0	0	0	PORTD1•PUD
DDOE	0	0	TXEN0	RXEN0
DDOV	0	0	1	0
PVOE	OC3B ENABLE	UMSEL0	TXEN0	0
PVOV	OC3C	XCK0 OUTPUT	TXD0	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	0	RXD0	–	RXD0
AIO	AIN1 INPUT	AIN0 INPUT	–	–

Таблиця 49

Вивід порту	Альтернативна функція
PF7	ADC7/TDI (вхід каналу 7 АЦП або введення даних при JTAG-тестуванні)
PF6	ADC6/TDO (вхід каналу 6 АЦП або виведення даних при JTAG-тестуванні)
PF5	ADC5/TMS (вхід каналу 5 АЦП або вибір режиму JTAG-тестування)
PF4	ADC4/TCK (вхід каналу 4 АЦП або синхронізація JTAG-тестування)
PF3	ADC3 (вхід каналу 3 АЦП)
PF2	ADC2 (вхід каналу 2 АЦП)
PF1	ADC1 (вхід каналу 1 АЦП)
PF0	ADC0 (вхід каналу 0 АЦП)

Таблиця 50

Найменування сигналу	PF7/ADC7/TDI	PF6/ADC6/TDO	PF5/ADC5/TMS	PF4/ADC4/TCK
PUOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
PUOV	1	0	1	1
DDOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DDOV	0	SHIFT_IR + SHIFT_DR	0	0
PVOE	0	JTAGEN	0	0
PVOV	0	TDO	0	0
DIEOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DIEOV	0	0	0	0
DI	-	-	-	-
AIO	TDI/ADC7 INPUT	ADC6 INPUT	TMS/ADC5 INPUT	TCK/ADC4 INPUT

Таблиця 51

Найменування сигналу	PF3/ADC3	PF2/ADC2	PF1/ADC1	PF0/ADC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DIEOE	0	0	0	0
DIEOV	0	0	0	0
DI	-	-	-	-
AIO	ADC3 INPUT	ADC2 INPUT	ADC1 INPUT	ADC0 INPUT

Таблиця 52

Вивід порту	Альтернативна функція
PG4	TOSC1 (генератор реального часу таймера-лічильника 0)
PG3	TOSC2 (генератор реального часу таймера-лічильника 0)
PG2	ALE(дозвіл на фіксацію адреси зовнішньої пам'яті)
PG1	RD (строб зчитування зовнішньої пам'яті)
PG0	WR (строб запису зовнішньої пам'яті)

Таблиця 53

Найменування сигналу	PG4/TOSC1	PG3/TOSC2	PG2/ALE	PG1/RD
PUOE	AS0	AS0	SRE	SRE
PUOV	0	0	0	0
DDOE	AS0	AS0	SRE	SRE
DDOV	0	0	1	1
PVOE	0	0	SRE	SRE
PVOV	0	0	ALE	RD
DIEOE	AS0	AS0	0	0
DIEOV	0	0	0	0
DI	-	-	-	-
AIO	T/C0 OSC INPUT	T/C0 OSC OUTPUT	-	-

Таблиця 54

Найменування сигналу	PG0/WR
PUOE	SRE
PUOV	0
DDOE	SRE
DDOV	1
PVOE	SRE
PVOV	WR
DIEOE	0
DIEOV	0
DI, AIO	-

Таблиця 55

Розряд	7	6	5	4	3	2	1	0
Позначення	PORT A7	PORT A6	PORT A5	PORT A4	PORT A3	PORT A2	PORT A1	PORT A0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 56

Розряд	7	6	5	4	3	2	1	0	
Позначення	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 57

Розряд	7	6	5	4	3	2	1	0	
Позначення	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	

Таблиця 58

Розряд	7	6	5	4	3	2	1	0
Позначення	PORT B7	PORT B6	PORT B5	PORT B4	PORT B3	PORT B2	PORT B1	PORT B0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 59

Розряд	7	6	5	4	3	2	1	0	
Позначення	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDR8
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 60

Розряд	7	6	5	4	3	2	1	0	
Позначення	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	

Таблиця 61

Розряд	7	6	5	4	3	2	1	0
Позначення	PORT C7	PORT C6	PORT C5	PORT C4	PORT C3	PORT C2	PORT C1	PORT C0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 62

Розряд	7	6	5	4	3	2	1	0	
Позначення	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 63

Розряд	7	6	5	4	3	2	1	0	
Позначення	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	

Таблиця 64

Розряд	7	6	5	4	3	2	1	0
Позначення	PORT D7	PORT D6	PORT D5	PORT D4	PORT D3	PORT D2	POR TD1	PORT D0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 65

Розряд	7	6	5	4	3	2	1	0
Позначення	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 66

Розряд	7	6	5	4	3	2	1	0	
Позначення	PIN D7	PIN D6	PIN D5	PIN D4	PIN D3	PIN D2	PIN D1	PIN D0	PIND
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	



Таблиця 67

Розряд	7	6	5	4	3	2	1	0
Позначення	PORT E7	PORT E6	PORT E5	PORT E4	PORT E3	PORT E2	PORT E1	PORT E0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 68

Розряд	7	6	5	4	3	2	1	0	
Позначення	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	DDRE
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 69

Розряд	7	6	5	4	3	2	1	0	
Позначення	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	PINE
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	

Таблиця 70

Розряд	7	6	5	4	3	2	1	0
Позначення	PORT F7	PORT F6	PORT F5	PORT F4	PORT F3	PORT F2	PORT F1	PORT F0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Початкове значення	0	0	0	0	0	0	0	0

Таблиця 71

Розряд	7	6	5	4	3	2	1	0	
Позначення	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	DDRE
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 72

Розряд	7	6	5	4	3	2	1	0	
Позначення	PIN F7	PIN F6	PIN F5	PIN F4	PIN F3	PIN F2	PIN F1	PIN F0	PINF
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	

Таблиця 73

Розряд	7	6	5	4	3	2	1	0	
Позначення	-	-	-	PORT G4	PORT G3	PORT G2	PORT G1	PORT G0	PORTG
Зчитування/ запис				Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 74

Розряд	7	6	5	4	3	2	1	0	
Позначення	-	-	-	DDG4	DDG3	DDG2	DDG1	DDG0	
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 75

Розряд	7	6	5	4	3	2	1	0	
Позначення	-	-	-	PING4	PING3	PING2	PING1	PING0	PING
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Початкове значення	-	-	-	-	-	-	-	-	

Таблиця 76

Розряд	7	6	5	4	3	2	1	0	
Позначення	ICS 31	ICS 30	ICS 21	ICS 20	ICS 11	ICS 10	ICS 01	ICS 00	EICRA
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 77

ISCn1	ISCn0	Опис
0	0	Низький рівень на INTn генерує запит на переривання
0	1	Зарезервовано
1	0	Спадний фронт на INTn генерує асинхронно запит на переривання
1	1	Зростаючий фронт на INTn генерує асинхронно запит на переривання

Таблиця 78

Позначення	Параметр	Типовий	Одиниця вимірювання
$t_{int}$	Мінімальна тривалість імпульсу для генерації асинхронного переривання	50	нс

Таблиця 79

Розряд	7	6	5	4	3	2	1	0	
Позначення	ICS71	ICS70	ICS61	ICS60	ICS51	ICS50	ICS41	ICS40	EICRB
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 80

ISCn1	ISCn0	Опис
0	0	Низький рівень на INTn генерує запит на переривання
0	1	Будь-яке змінювання логічного стану на INTn генерує запит на переривання
1	0	Спадний фронт, виявлений з двох вибірок на INTn, генерує запит на переривання
1	1	Зростаючий фронт, виявлений з двох вибірок на INTn, генерує запит на переривання

Таблиця 81

Розряд	7	6	5	4	3	2	1	0	
Позначення	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	EIMSK
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Таблиця 82

Розряд	7	6	5	4	3	2	1	0	
Позначення	INT F7	INT F6	INT F5	INT F4	INT F3	INT F2	INT F1	INT F0	EIFR
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Початкове значення	0	0	0	0	0	0	0	0	

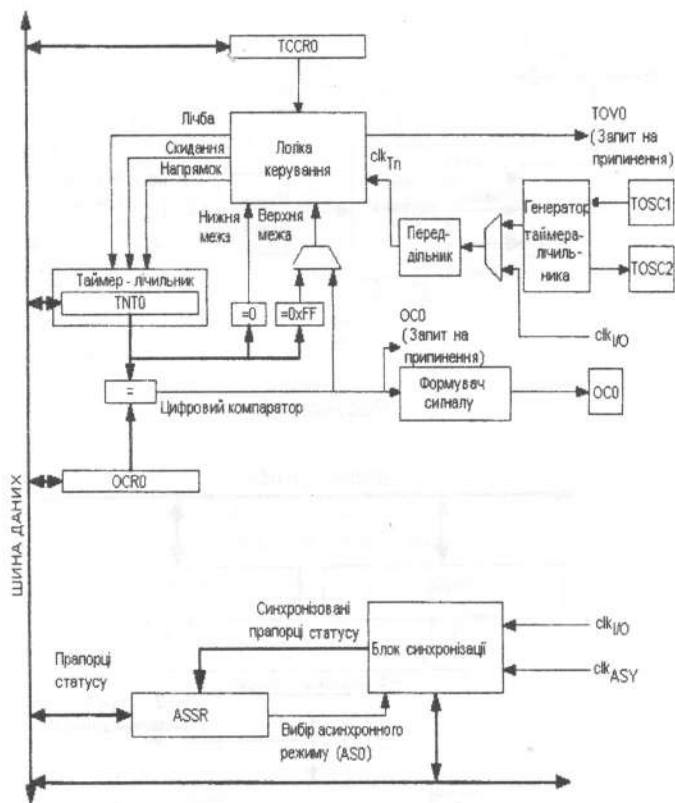


Рисунок 44

Таблиця 83

НМ (нижня межа)	Лічильник досягає нульового значення (0x00)
МАКС (максимальне значення)	Лічильник досягає максимального значення 0xFF (десятичне 255)
ВМ (верхня межа)	Лічильник досягає верхньої межі (вершини рахунку), якою може бути фіксоване значення 0xFF або вміст регістра OCR0

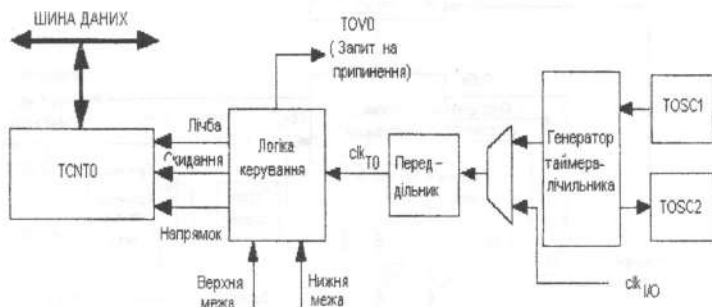


Рисунок 45



Рисунок 46

Таблиця 84

Розряд	7	6	5	4	3	2	1	0	
Позначення	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	ASSR
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч./ зап.	Зч.	Зч.	Зч.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 85

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCIE 2	TOIE 2	TICIE 1	OCIE 1A	OCIE 1B	TOIE 1	OCIE 0	TOIE 0	TIMSK
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 86

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCF 2	TOV 2	ICF 1	OCF 1A	OCF 1B	TOV 1	OCF 0	TOV 0	TIFR
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

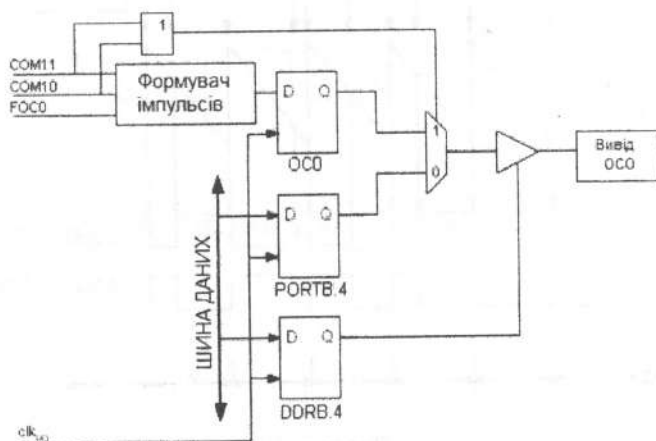


Рисунок 47

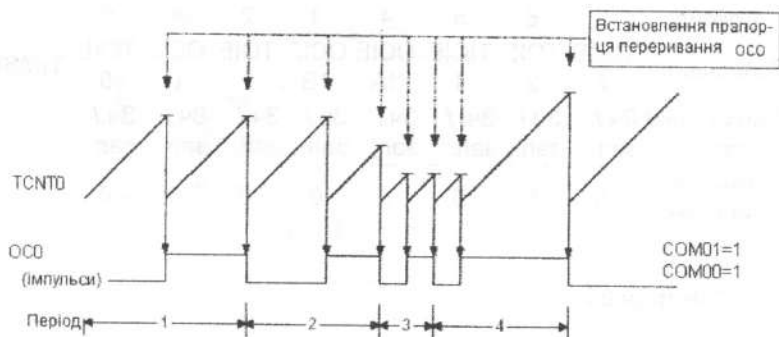


Рисунок 48

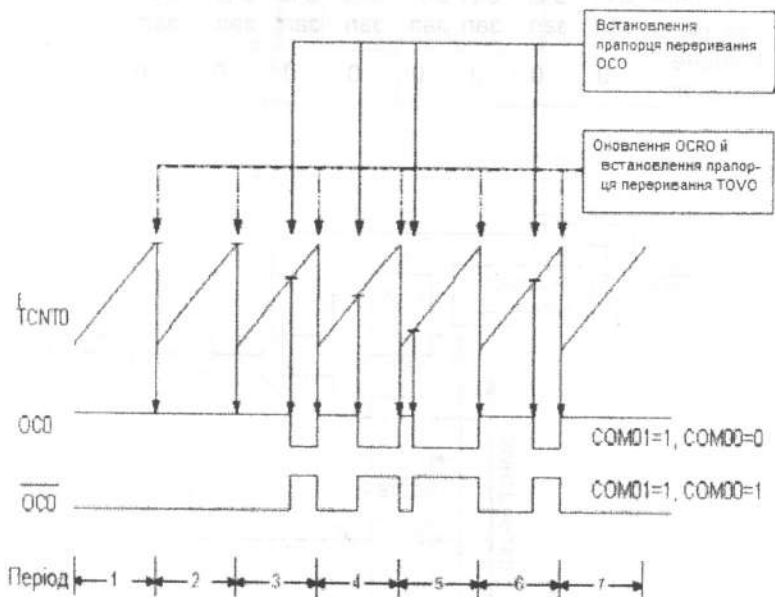


Рисунок 49



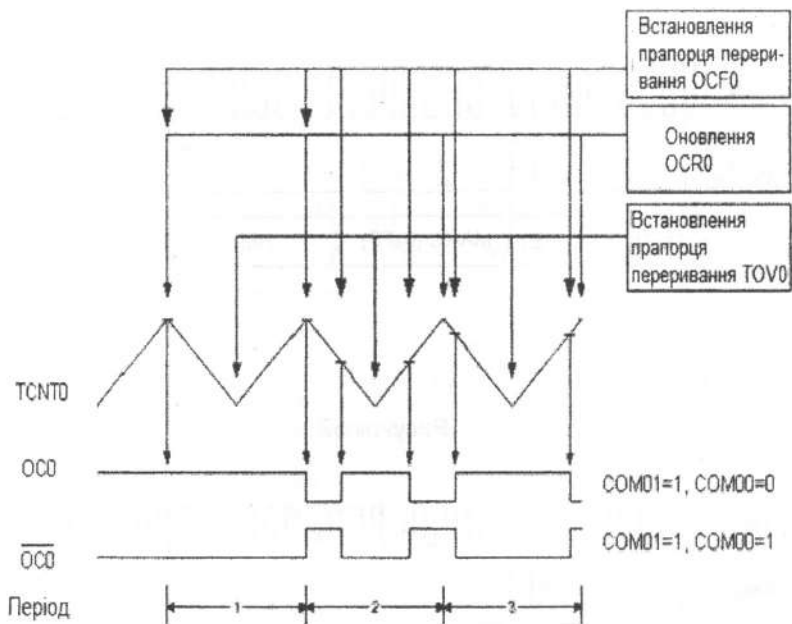


Рисунок 50

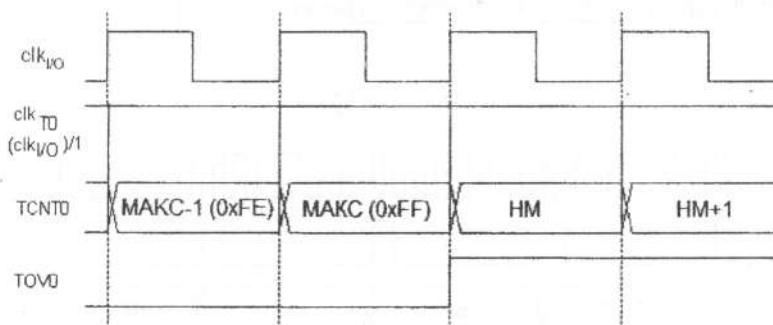


Рисунок 51

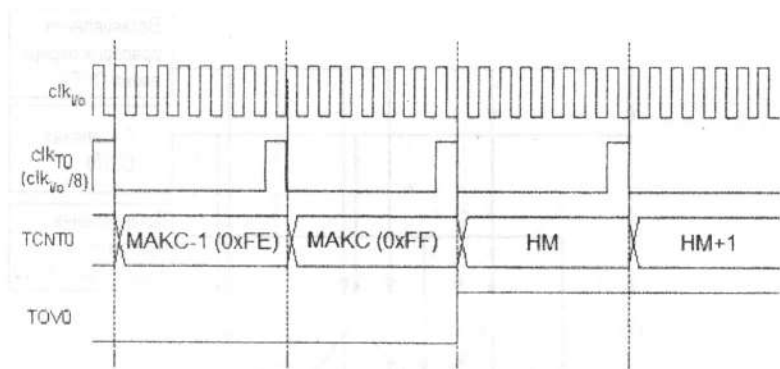


Рисунок 52

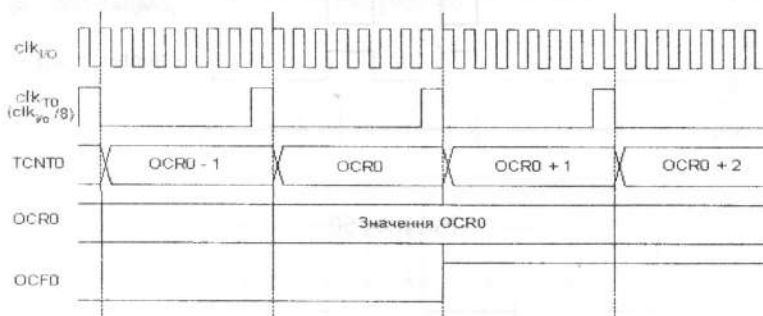


Рисунок 53

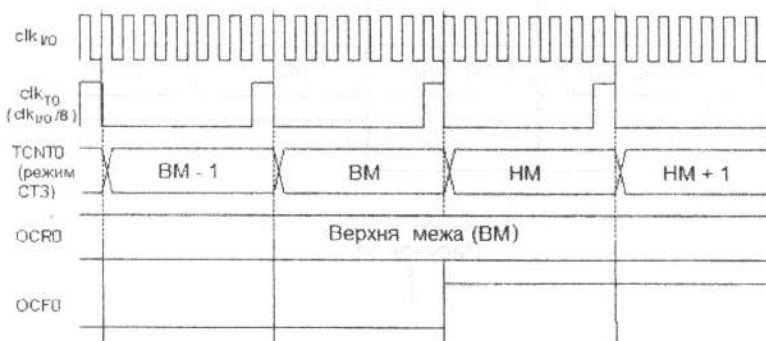


Рисунок 54

Таблиця 87

Розряд	7	6	5	4	3	2	1	0	
Позначення	FOC 0	WGM 00	COM 01	COM 00	WGM 01	CS 02	CS 01	CS 00	TCCR 0
Зчитування/ запис	Зч.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 88

Номер режиму	WGM 01	WGM 00	Наймену- вання режиму роботи таймера- лічиль- ника 0	Верхня межа рахунку	Умова оновлення вмісту регістра OCR0	Умова встановлення прапорця TOV0
0	0	0	Норма- льний	0xFF	Відразу після запису в регістр	Досягнення максимального значення (0xFF)
1	0	1	ШИМ з фазовою корекцією	0xFF	Досягнення верхньої межі рахунку	Досягнення мінімального значення (0x00)
2	1	0	Скидання при збігу	OCR0	Відразу після запису в регістр	Досягнення максимального значення (0xFF)
3	1	1	Швидка ШИМ	0xFF	Досягнен- ня верхньої межі рахунку	Досягнення максимального значення (0xFF)

Таблиця 89

COM01	COM00	Опис
0	0	Функція звичайного порту введення-виведення. OC0 вимкнено
0	1	Перемикання (інвертування) OC0 при кожному збігу
1	0	Скидання OC0 при кожному збігу
1	1	Встановлення OC0 при кожному збігу

Таблиця 90

COM01	COM00	Опис
0	0	Функція звичайного порту введення-виведення
0	1	Зарезервовано
1	0	Скидання ОС0 при збігу, встановлення при досягненні верхньої межі (0xFF)
1	1	Встановлення ОС0 при збігу, скидання при досягненні верхньої межі (0xFF)

Таблиця 91

COM01	COM00	Опис
0	0	Функція звичайного порту введення-виведення. ОС0 вимкнено
0	1	Зарезервовано
1	0	Скидання ОС0 при збігу під час прямого рахунку. Встановлення ОС0 при збігу під час зворотного рахунку
1	1	Встановлення ОС0 при збігу під час прямого рахунку. Скидання ОС0 при збігу під час зворотного рахунку

Таблиця 92

CS02	CS01	CS00	Опис
0	0	0	Відсутня синхронізація. Таймер-лічильник 0 залишено
0	0	1	clk0S/1 (без переддільника)
0	1	0	clk0S/8 (з переддільником)
0	1	1	clk0S/32 (з переддільником)
1	0	0	clk0S/64 (з переддільником)
1	0	1	clk0S/128 (з переддільником)
1	1	0	clk0S/256 (з переддільником)
1	1	1	clk0S/1024(з переддільником)

Таблиця 93

Розряд	7	6	5	4	3	2	1	0	
Позначення	TCNT0[7:0]								TCNT0
Зчитування/запис	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 94

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR0[7:0]								OCR0
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

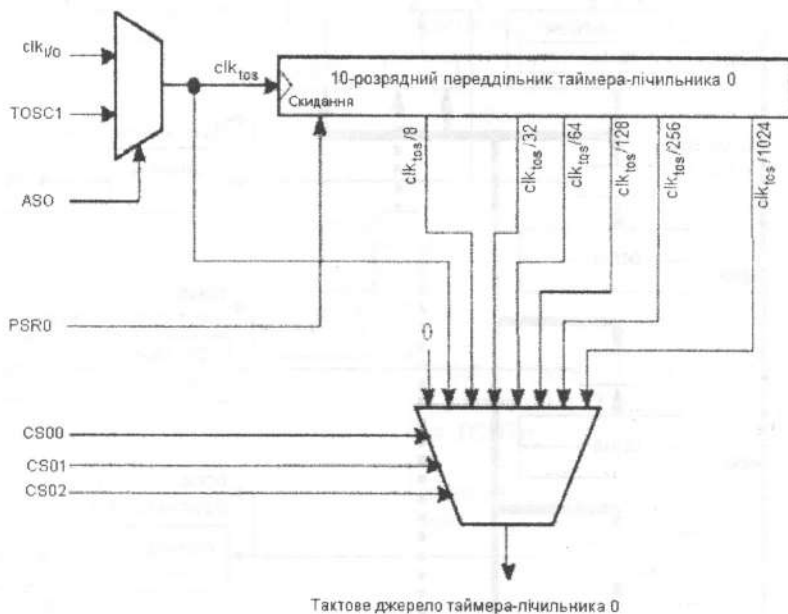


Рисунок 55

Таблиця 95

Розряд	7	6	5	4	3	2	1	0	
Позначення	TSM	-	-	-	ACME	PUD	PSR 0	PSR 321	SFIOR
Зчитування/ запис	Зч./ зап.	Зч.	Зч.	Зч.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

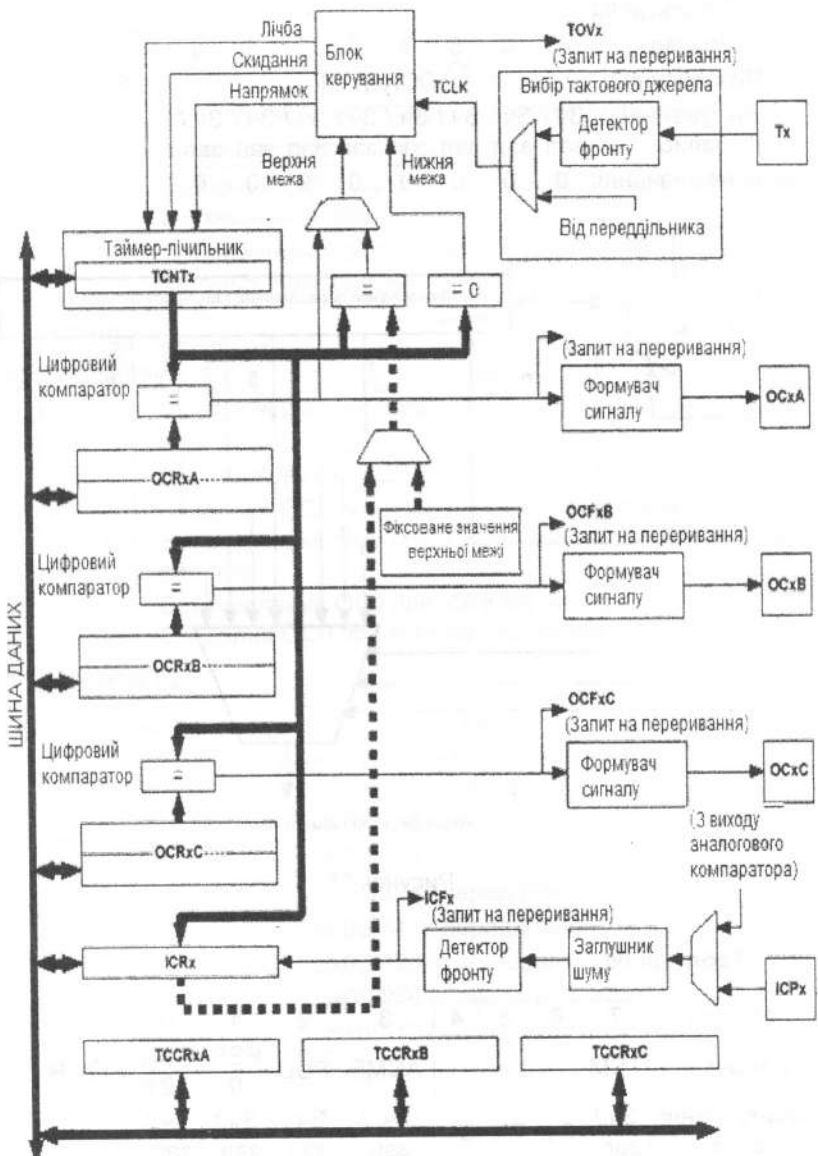


Рисунок 56

Таблиця 96

НМ (нижня межа)	Лічильник досягає нульового значення (0x0000)
МАКС (максимальне значення)	Лічильник досягає максимального значення 0xFFFF (десятичне 65535)
ВМ (верхня межа)	Лічильник досягає верхньої межі (вершини) рахунку, якою можуть бути фіксовані значення 0x00FF, 0x01FF, 0x03FF або вміст регістра OCRn або ICRn

Таблиця 97

Приклад коду на Асемблері	Приклад коду на Сі
1... ; встановлення TCNTn = 0x01FF ldi r17,0x01 ldi r16,0xFF out TCNTn,r17 out TCNTn,r16 ; зчитування TCNTn в r17:r16 in r16,TCNTn in r17,TCNTn ...	1. unsigned int i; ... /* встановлення TCNTn = 0x01FF */ TCNTn = 0x1FF; /* зчитування TCNTn в i */ i = TCNTn; ... unsigned int TIM16_ReadTCNTn( void ) {
2. TIM16_ReadTCNTn: ; запам'ятали стан загального прапорця переривань in r18,SREG ; заборонили переривання cli ; зчитали TCNTn в r17:r16 in r16,TCNTn in r17,TCNTn ; відновили стан загального прапорця переривань out SREG,r18 Ret	2. unsigned char sreg; unsigned int i; /* запам'ятали стан загального прапорця переривань */ sreg = SREG; /* заборонили переривання */ _CLI(); /* зчитали TCNTn в i */ i = TCNTn; /* відновили стан загального прапорця переривань */ SREG = sreg; return i; }

Продовження таблиці 97

Приклад коду на Асемблері	Приклад коду на Сі
<pre> 3. TIM16_WriteTCNTn: ; запам'ятали стан загального прапорця переривань in r18,SREG ; заборонили переривання cli ; скопіювали TCNTn в r17:r16 out TCNTn,r17 out TCNTn,r16 ; відновили стан загального прапорця переривань out SREG,r18 ret                     </pre>	<pre> 3. void TIM16_WriteTCNTn( unsigned int i ) { unsigned char sreg; unsigned int i; /* запам'ятали стан загального прапорця переривань */ sreg = SREG; /* заборонили переривання */ _cli(); /* скопіювали TCNTn в i */ TCNTn = i; /* відновили стан загального прапорця переривань */ SREG = sreg; }                     </pre>



Рисунок 57



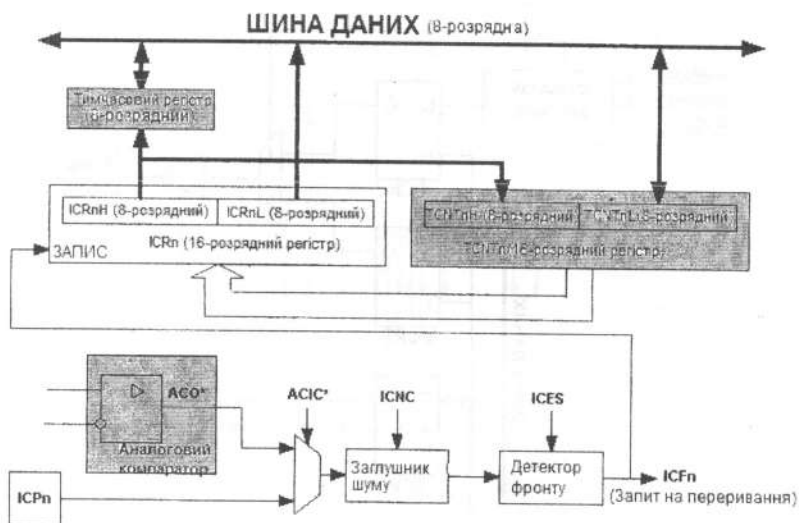


Рисунок 58

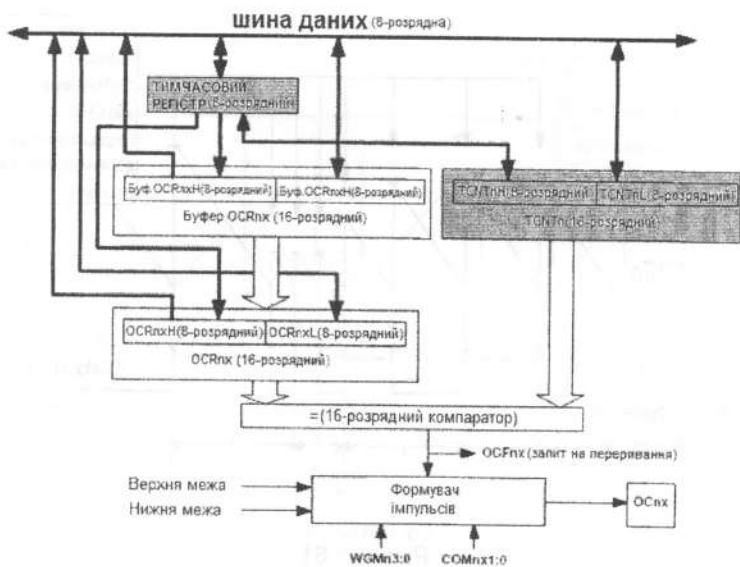


Рисунок 59

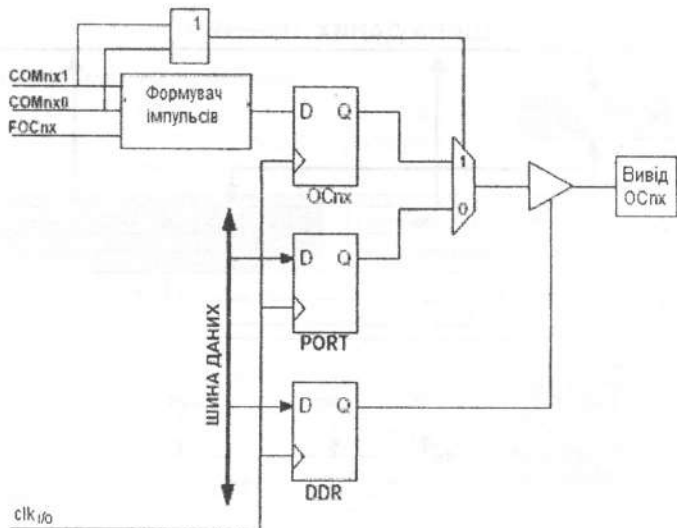


Рисунок 60

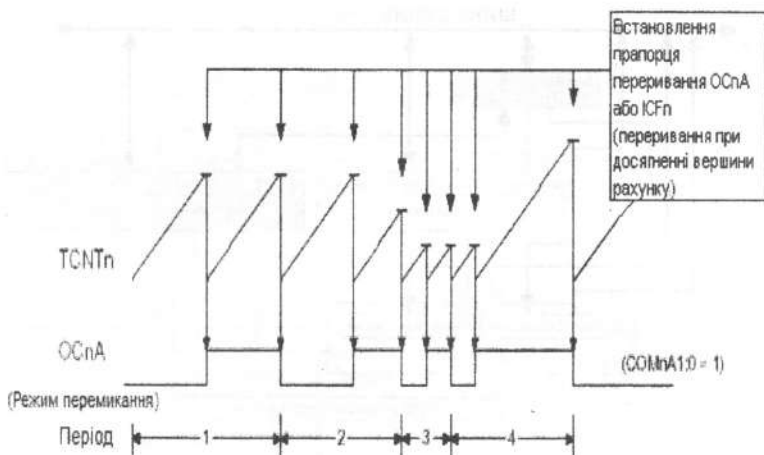


Рисунок 61

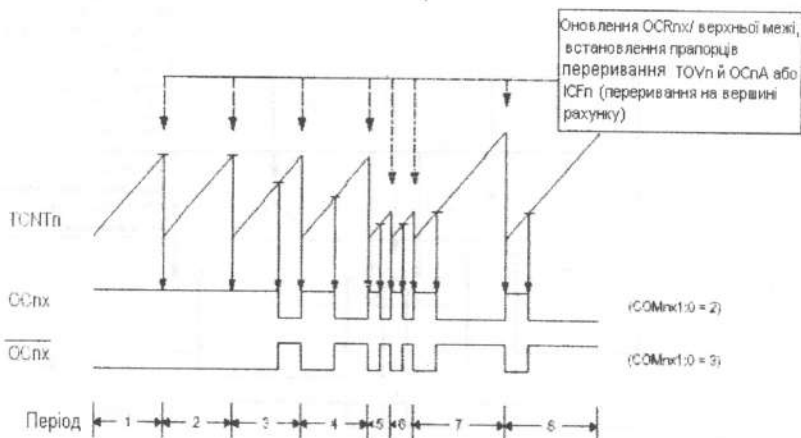


Рисунок 62

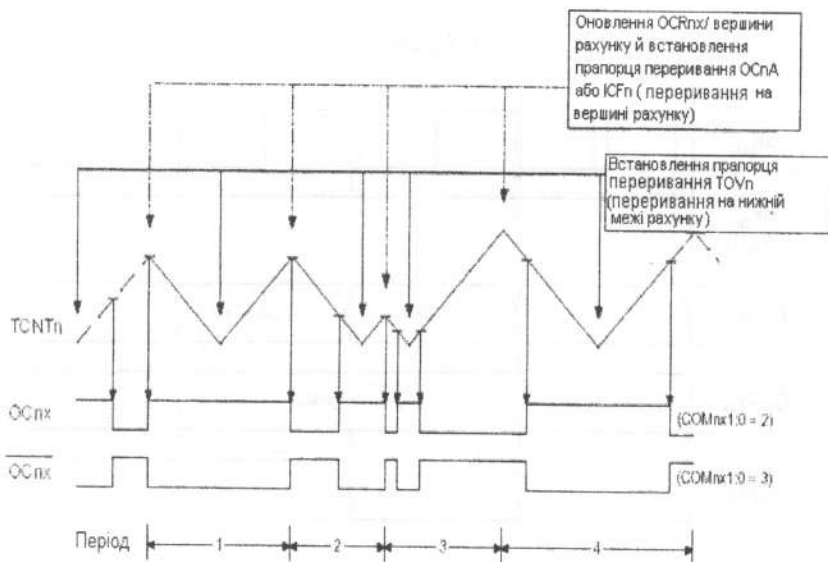


Рисунок 63

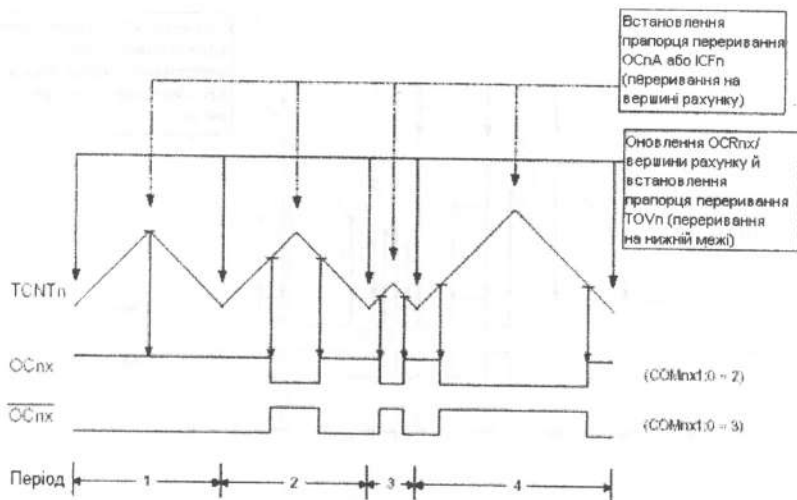


Рисунок 64

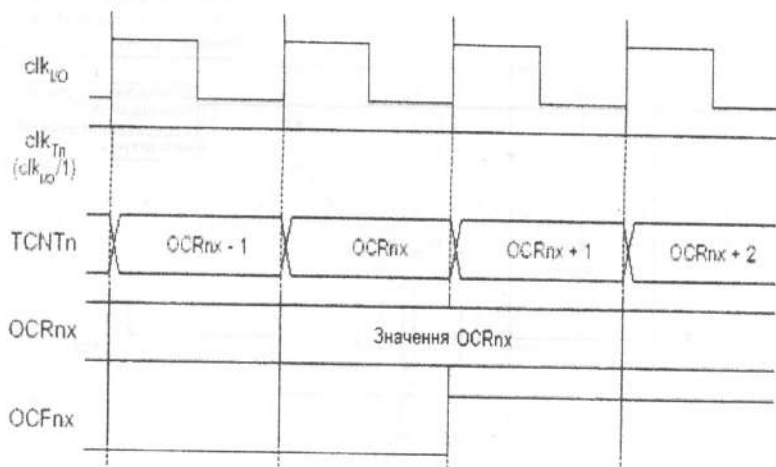


Рисунок 65

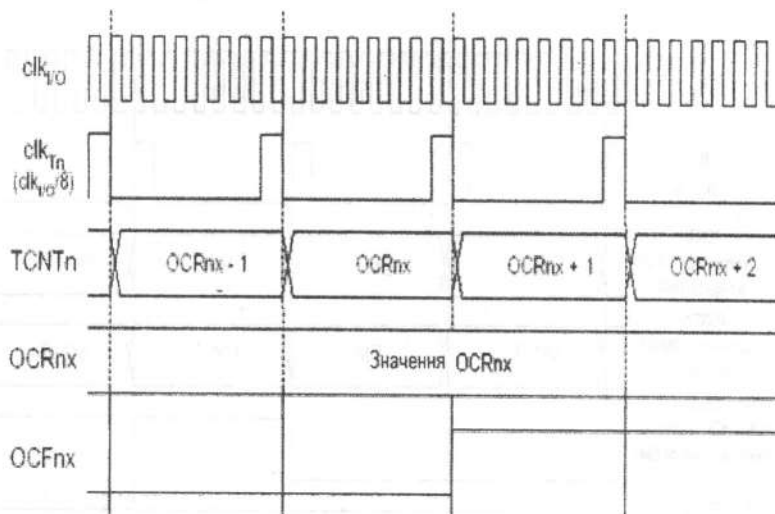


Рисунок 66

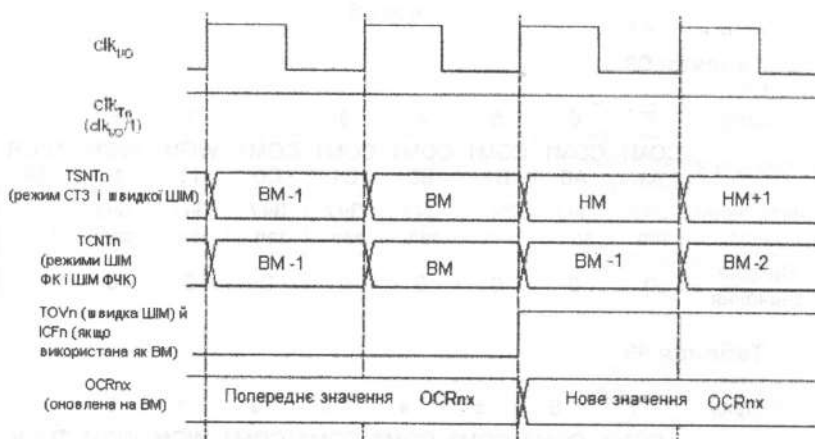


Рисунок 67

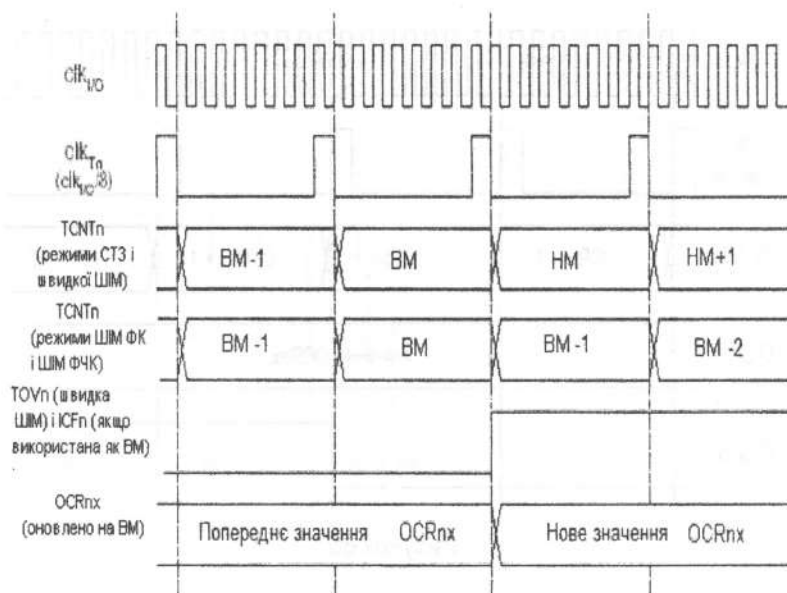


Рисунок 68

Таблиця 98

Розряд	7	6	5	4	3	2	1	0	
Позначення	COM1 A1	COM1 A0	COM1 B1	COM1 B0	COM1 C1	COM1 C0	WGM 11	WGM 10	TCCR 1A
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 99

Розряд	7	6	5	4	3	2	1	0	
Позначення	COM3 A1	COM3 A0	COM3 B1	COM3 B0	COM3 C1	COM3 C0	WGM 31	WGM 30	TCCR 3A
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 100

COMn1/COMn1/COMn1	COMn0/COMn0/COMn0	Опис
0	0	Нормальна робота порту, сигнали ОСпА/ОСпВ/ОСпС відключено
0	1	Перемикання (інвертування) ОСпА/ОСпВ/ОСпС при збігу
1	0	Скидання ОСпА/ОСпВ/ОСпС при збігу
1	1	Встановлення ОСпА/ОСпВ/ОСпС при збігу

Таблиця 101

COMn1/COMn1/COMn1	COMn0/COMn0/COMn0	Опис
0	0	Нормальна робота порту, сигнали ОСпА/ОСпВ/ОСпС відключено
0	1	WGMn3:0 = 15: перемикання (інвертування) ОСпА при збігу; ОСпВ/ОСпС відключено. Всім іншим установкам WGMn відповідає нормальна робота порту (ОСпА/ОСпВ/ОСпС відключено)
1	0	Скидання ОСпА/ОСпВ/ОСпС при збігу, встановлення ОСпА/ОСпВ/ОСпС на вершині рахунку
1	1	Встановлення ОСпА/ОСпВ/ОСпС при збігу, скидання ОСпА/ОСпВ/ОСпС на вершині рахунку

Таблиця 102

COMn1/COMn1/COMn1	COMn0/COMn0/COMn0	Опис
0	0	Нормальна робота порту, сигнали ОСнА/ОСнВ/ОСнС відключено
0	1	WGMn3:0 = 9 або 14: перемикання (інвертування) ОСнА при збігу, ОСнВ/ОСнС відключено (нормальна робота порту). Всім іншим установкам WGMn відповідає нормальна робота порту, коли ОСнА/ОСнВ/ОСнС відключено
1	0	Скидання ОСнА/ОСнВ/ОСнС при збігу під час прямого рахунку, встановлення ОСнА/ОСнВ/ОСнС при збігу під час зворотного рахунку
1	1	Встановлення ОСнА/ОСнВ/ОСнС при збігу під час прямого рахунку, скидання ОСнА/ОСнВ/ОСнС при збігу під час зворотного рахунку



Таблиця 103

Режим	WGM n3	WGM n2 (СТЗ n)	WGM n1 (PWM n1)	WGM n0 (PWM n0)	Режим роботи таймера-лічильника	BM	Оновлення OCRnх	Встановлення прапорця TOVn
0	0	0	0	0	Нормальний	0x FFFF	Відразу після запису	На МАКС
1	0	0	0	1	8-розрядна ШІМ ФК	0x 00FF	На вершині рахунку	На нижній межі
2	0	0	1	0	9-розрядна ШІМ ФК	0x 01FF	На вершині рахунку	На нижній межі
3	0	0	1	1	10-розрядна ШІМ ФК	0x 03FF	На вершині рахунку	На нижній межі
4	0	1	0	0	СТЗ	OCRn	Відразу після запису	На МАКС
5	0	1	0	1	8-розрядна швидка ШІМ	0x 00FF	На вершині рахунку	На вершині рахунку
6	0	1	1	0	9-розрядна швидка ШІМ	0x 01FF	На вершині рахунку	На вершині рахунку
7	0	1	1	1	10-розрядна швидка ШІМ	0x 03FF	На вершині рахунку	На вершині рахунку
8	1	0	0	0	ШІМ ФЧК	ICRn	На нижній межі	На нижній межі
9	1	0	0	1	ШІМ ФЧК	OCRn	На нижній межі	На нижній межі
10	1	0	1	0	ШІМ ФК	ICRn	На вершині рахунку	На нижній межі
11	1	0	1	1	ШІМ ФК	OCRn	На вершині рахунку	На нижній межі

Продовження таблиці 103

Режим	WGM n3	WGM n2 (СТЗ n)	WGM n1 (PWM n1)	WGM n0 (PWM n0)	Режим роботи таймера-лічильника	ВМ	Оновлення OCRnх	Встановлення прапорця TOVn
12	1	1	0	0	СТЗ	ICRn	Відразу після запису	На МАКС
13	1	1	0	1	(резерв)	–	–	–
14	1	1	1	0	Швидка ШІМ	ICRn	На вершині рахунку	На вершині рахунку
15	1	1	1	1	Швидка ШІМ	OCRn	На вершині рахунку	На вершині рахунку

Таблиця 104

Розряд	7	6	5	4	3	2	1	0	
Позначення	ICNC1	ICES1	–	WGM13	WGM12	CS 12	CS 11	CS 10	TCCR1B
Зчитування/запис	Зч./зап.	Зч./зап.	Зч.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 105

Розряд	7	6	5	4	3	2	1	0	
Позначення	ICNC3	ICES3	–	WGM33	WGM32	CS 32	CS 31	CS 30	TCCR3B
Зчитування/Запис	Зч./зап.	Зч./зап.	Зч.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 106

CSn2	CSn1	CSn0	Опис
0	0	0	Відсутня синхронізація. Таймер-лічильник зупинено
0	0	1	clk/O/1 (без переддільника)
0	1	0	clk/O /8 (з переддільником)
0	1	1	clk/O/64 (з переддільником)
1	0	0	clk/O/256 (з переддільником)
1	0	1	clk/O/1024 (з переддільником)
1	1	0	Зовнішнє тактове джерело з виводу Tn. Синхронізація за спадним фронтом
1	1	1	Зовнішнє тактове джерело з виводу Tn. Синхронізація за наростаючим фронтом

Таблиця 107

Розряд	7	6	5	4	3	2	1	0	
Позначення	FOC1A	FOC1B	FOC1C	-	-	-	-	-	TCCR1C
Зчитування/ запис	Зап.	Зап.	Зап.	Зч.	Зч.	Зч.	Зч.	Зч.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 108

Розряд	7	6	5	4	3	2	1	0	
Позначення	FOC3A	FOC3B	FOC3C	-	-	-	-	-	TCCR3C
Зчитування/ запис	Зап.	Зап.	Зап.	Зч.	Зч.	Зч.	Зч.	Зч.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 109

Розряд	7	6	5	4	3	2	1	0	
Позначення	TCNT1[15:8]								TCNT1H
Позначення	TCNT1[7:0]								TCNT1L
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 110

Розряд	7	6	5	4	3	2	1	0	
Позначення	TCNT3[15:8]								TCNT3H
Позначення	TCNT3[7:0]								TCNT3L
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 111

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR1A [15:8]								OCR1AH
Позначення	OCR1A [7:0]								OCR1AL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 112

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR1B [15:8]								OCR1BH
Позначення	OCR1B [7:0]								OCR1BL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 113

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR1C [15:8]								OCR1CH
Позначення	OCR1C [7:0]								OCR1CL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 114

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR3A [15:8]								OCR3AH
Позначення	OCR3A [7:0]								OCR3AL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 115

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR3B [15:8]								OCR3BH
Позначення	OCR3B [7:0]								OCR3BL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 116

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCR3C [15:8]								OCR3CH
Позначення	OCR3C [7:0]								OCR3CL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 117

Розряд	7	6	5	4	3	2	1	0	
Позначення	ICR1C [15:8]								ICR1CH
Позначення	ICR1C [7:0]								ICR1CL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 118

Розряд	7	6	5	4	3	2	1	0	
Позначення	ICR3C [15:8]								ICR3CH
Позначення	ICR3C [7:0]								ICR3CL
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 119

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCIE 2	TOIE 2	TICIE 1	OCIE 1A	OCIE 1B	TOIE 1	OCIE 0	TOIE 0	TIMSK
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 120

Розряд	7	6	5	4	3	2	1	0	
Позначення	-	-	TICIE 3	OCIE 3A	OCIE 3B	TOIE 3	OCIE 3C	TOIE 3C	ETIMSK
Зчитування/ запис	Зч.	Зч.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 121

Розряд	7	6	5	4	3	2	1	0	
Позначення	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOF0	TIFR
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 122

Розряд	7	6	5	4	3	2	1	0	
Позначення	-	-	ICF 3	OCF 3A	OCF 3B	TOV 3	OCF 3C	OCF 1C	ETIFR
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

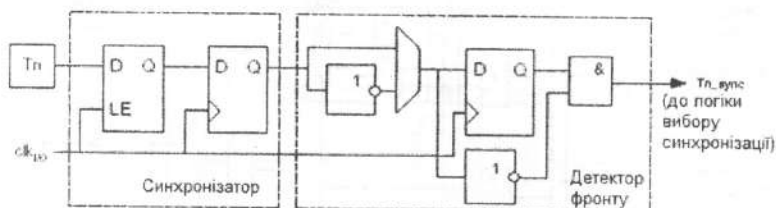


Рисунок 69



Рисунок 70

Таблиця 123

Розряд	7	6	5	4	3	2	1	0	
Позначення	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFIOR
Зчитування/ запис	Зч./зап.	Зч.	Зч.	Зч.	Зч./зап.	Зч./зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

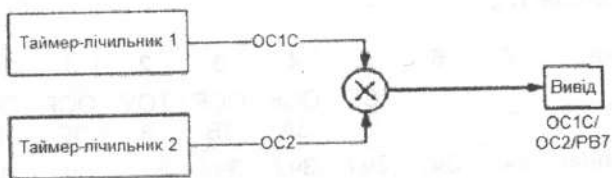


Рисунок 71

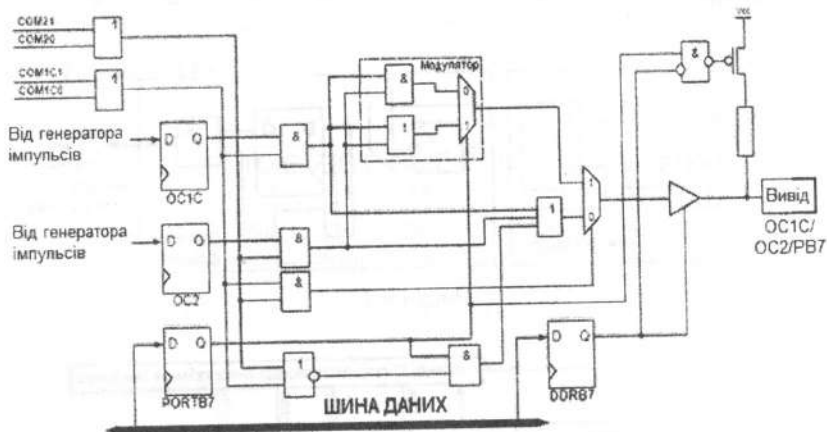


Рисунок 72

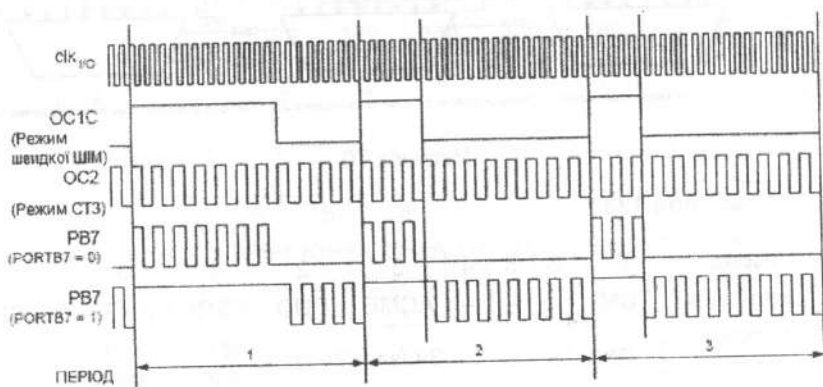


Рисунок 73



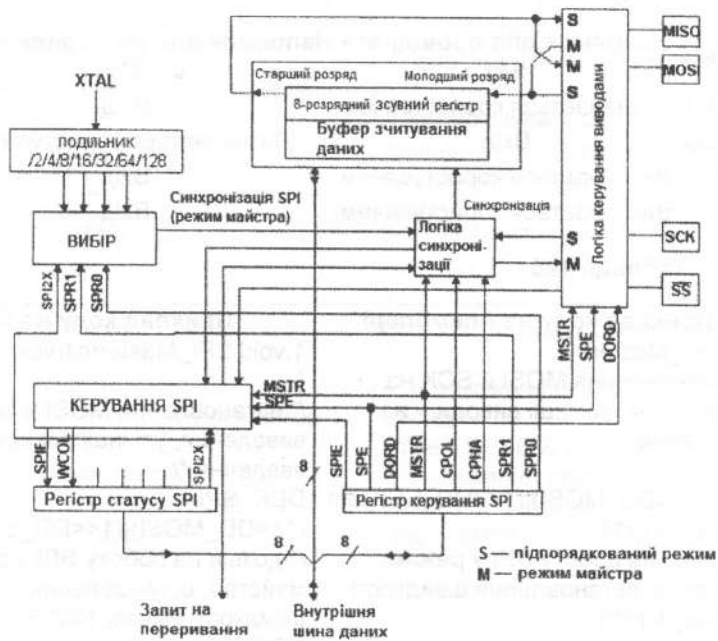


Рисунок 74



Рисунок 75

Таблиця 124

Вивід	Напрямок для провідного SPI	Напрямок для підпорядкованого SPI
MOSI	Визначається користувачем	Вхід
MISO	Вхід	Визначається користувачем
SCK	Визначається користувачем	Вхід
SS	Визначається користувачем	Вхід

Таблиця 125

Приклад коду на Асемблері	Приклад коду на Сі
<pre> 1. SPI_MasterInit: ; встановлення MOSI й SCK на виведення, усі інші виводи – на введення ldi r17,(1&lt;&lt;DD_MOSI) (1&lt;&lt;DD_SCK)out DDR_SPI,r17 ; дозвіл на роботу SPI у режимі майстра, встановлення швидкості зв'язку fck/16 ldi r17,(1&lt;&lt;SPE) (1&lt;&lt;MSTR) (1&lt;&lt;SPR0 ) out SPCR,r17 ret </pre>	<pre> 1.void SPI_MasterInit(void) { /* встановлення MOSI й SCK на виведення, усі інші виводи – на введення */ DDR_SPI = (1&lt;&lt;DD_MOSI) (1&lt;&lt;DD_SCK); /* дозвіл на роботу SPI у режимі майстра, встановлення швидкості зв'язку fck/16 */SPCR = (1&lt;&lt;SPE) (1&lt;&lt;MSTR) (1&lt;&lt;SPR0) ; } </pre>
<pre> 2. SPI_MasterTransmit: ; запуск передачі даних (r16)  out SPDR,r16 Wait_Transmit:  ; очікування завершення передачі даних  sbis SPSR,SPIF  rjmp Wait_Transmit ret </pre>	<pre> 2.void SPI_MasterTransmit(char cData) { /* запуск передачі даних */ SPDR = cData;  /* очікування завершення передачі даних */  while(!(SPSR &amp; (1&lt;&lt;SPIF))) ; } </pre>

Продовження таблиці 125

Приклад коду на Асемблері	Приклад коду на Сі
<pre>3. SPI_SlaveInit: ; встановлення MISO на виведення і усіх останніх на введення ldi r17,(1&lt;&lt;DD_MISO) out DDR_SPI,r17 ; дозвіл SPI ldi r17,(1&lt;&lt;SPE) out SPCR,r17 ret</pre>	<pre>3. void SPI_SlaveInit(void) { /* встановлення MISO на виведення і усіх останніх на введення */ DDR_SPI = (1&lt;&lt;DD_MISO); /* дозвіл SPI */ SPCR = (1&lt;&lt;SPE); } char SPI_SlaveReceive(void) {</pre>
<pre>4. SPI_SlaveReceive: ; очікування завершення передачі sbis SPSR,SPIF rjmp SPI_SlaveReceive ; зчитування прийнятих даних і вихід з процедури in r16,SPDR ret</pre>	<pre>4. /* очікування завершення передачі */ while(!(SPSR &amp; (1&lt;&lt;SPIF))); /* зчитування прийнятих даних і вихід з процедури */ return SPDR; }</pre>

Таблиця 126

Розряд	7	6	5	4	3	2	1	0	
Позначення	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 127

CPOL	Передній фронт	Задній фронт
0	Зростаючий	Спадний
1	Спадний	Зростаючий

Таблиця 128

CPHA	Передній фронт	Задній фронт
0	Вибірка	Встановлення
1	Встановлення	Вибірка

Таблиця 129

SPI2X	SPR1	SPR0	Частота SCK
0	0	0	fosc /4
0	0	1	fosc /16
0	1	0	fosc /64
0	1	1	fosc /128
1	0	0	fosc /2
1	0	1	fosc /8
1	1	0	fosc /32
1	1	1	fosc /64

Таблиця 130

Розряд	7	6	5	4	3	2	1	0	
Позначення	SPIF	WCOL	-	-	-	-	-	SPI2X	SPSR
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч. /зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 131

Розряд	7	6	5	4	3	2	1	0	
Позначення	Старший розряд							Молодший розряд	SPDR
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.		
Вихідне значення	x	x	x	x	x	x	x	x	Невизначений

Таблиця 132

Позначення	Передній фронт	Задній фронт	Режим SPI
CPOL = 0, CPHA = 0	Вибірка наростаючим фронтом	Встановлення даних спадним фронтом	0
CPOL = 0, CPHA = 1	Встановлення даних наростаючим фронтом	Вибірка спадним фронтом	1
CPOL = 1, CPHA = 0	Вибірка спадним фронтом	Встановлення даних наростаючим фронтом	2
CPOL = 1, CPHA = 1	Встановлення даних спадним фронтом	Вибірка наростаючим фронтом	3

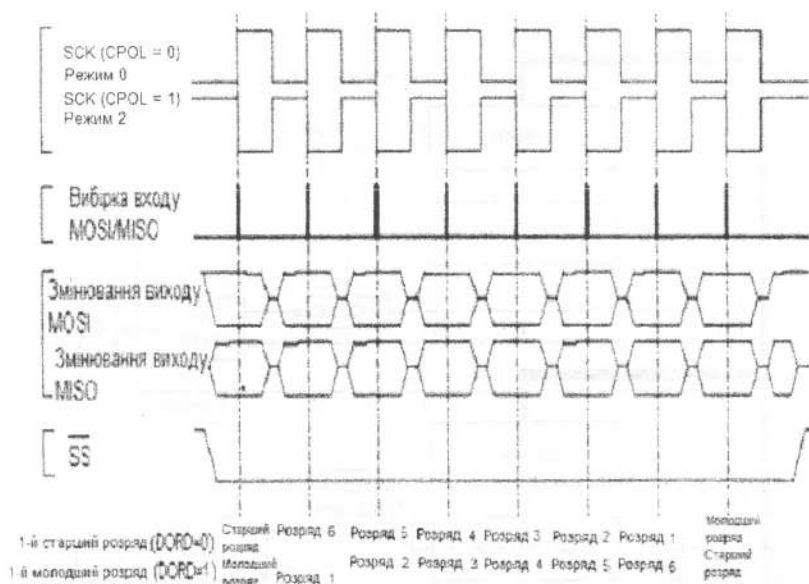


Рисунок 76

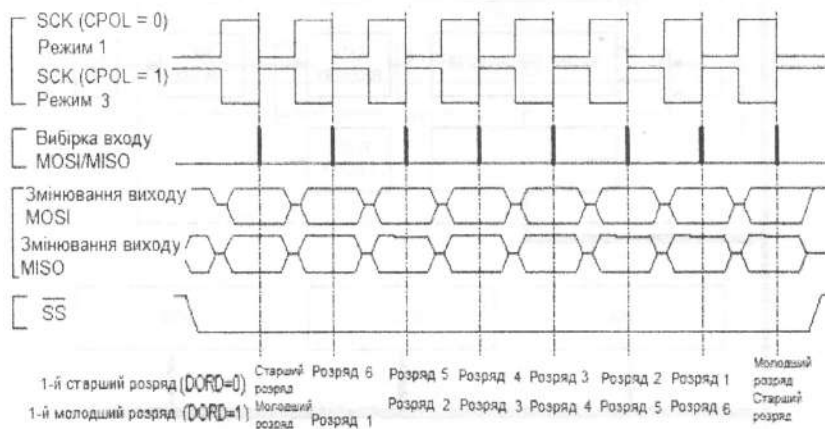


Рисунок 77

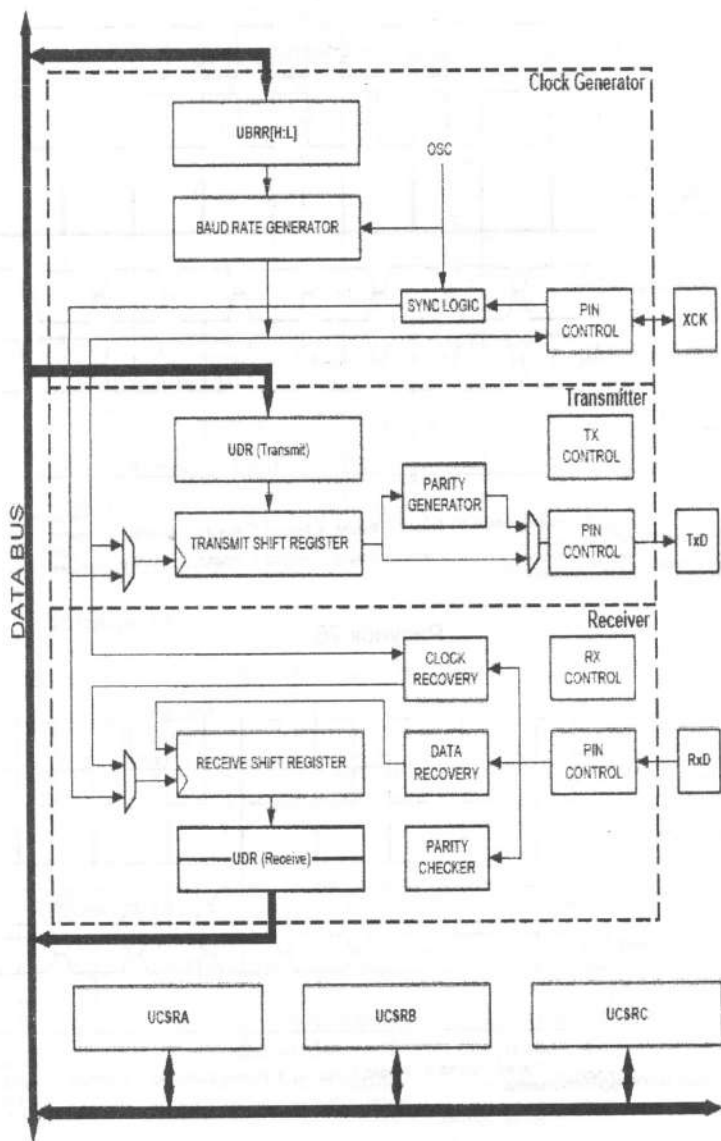


Рисунок 78

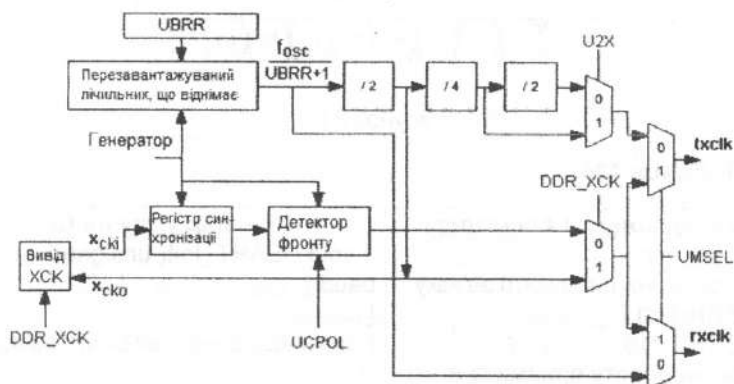


Рисунок 79

Таблиця 133

Режим роботи	Вираз для обчислюван- ня швидкості зв'язку	Вираз для обчислюван- ня значення UBRR
Нормальний асинхронний режим (U2X = 0)	$BAUD = \frac{f_{osc}}{16(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{16BAUD} - 1$
Асинхронний режим з подвоєнням швидкості (U2X = 1)	$BAUD = \frac{f_{osc}}{8(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{8BAUD} - 1$
Синхронний провідний режим	$BAUD = \frac{f_{osc}}{2(UBRR + 1)}$	$UBRR = \frac{f_{osc}}{2BAUD} - 1$

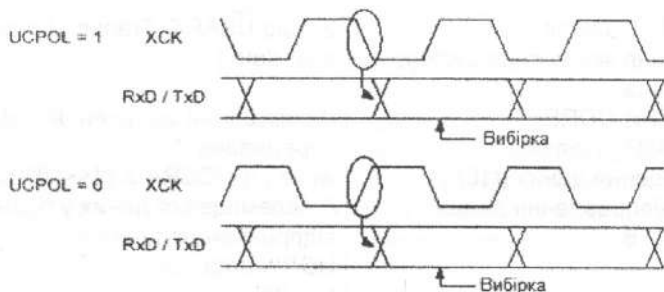


Рисунок 80

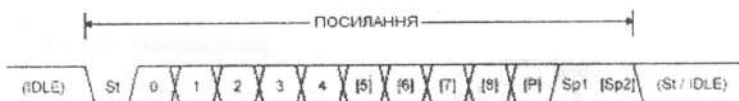


Рисунок 81

Таблиця 134

Приклад коду на Асемблері	Приклад коду на Сі
<p>1.USART_Init:  ; встановлення швидкості зв'язку  out UBRRH, r17  out UBRL, r16  ; дозвіл на роботу приймача й  передавача  ldi r16, (1&lt;&lt;RXEN) (1&lt;&lt;TXEN)  out UCSRB,r16  ; встановлення формату послілки:  8 бітів даних, 2 стоп-біти  ldi r16, (1&lt;&lt;USBS) (3&lt;&lt;UCSZ0)  out UCSRC,r16  ret</p>	<p>1.void USART_Init( unsigned int  baud )  {  /* встановлення швидкості зв'язку  */  UBRRH = (unsigned  char)(baud&gt;&gt;8);  UBRL = (unsigned char)baud;  /* дозвіл на роботу передавача й  приймача */  UCSRB = (1&lt;&lt;RXEN) (1&lt;&lt;TXEN);  /* встановлення формату  послілки: 8 бітів даних, 2 стоп-біти  */  UCSRC = (1&lt;&lt;USBS) (3&lt;&lt;UCSZ0);  }</p>
<p>2.USART_Transmit:  ; очікування звільнення буфера  передавача  sbis UCSRA,UDRE  rjmp USART_Transmit  ; переміщення даних (r16) у  буфер, відправлення даних  out UDR,r16</p>	<p>2. void USART_Transmit( unsigned  char data )  {  /* очікування звільнення буфера  передавача */  while ( !( UCSRA &amp; (1&lt;&lt;UDRE)) );  /* переміщення даних у буфер,  відправлення даних */  UDR = data;  }</p>



Продовження таблиці 134

Приклад коду на Асемблері	Приклад коду на Сі
<p>3. USART_Transmit:  ; очікування звільнення буфера  передавача  sbis UCSRA,UDRE  rjmp USART_Transmit  ; копіювання 9-го біта з r17 в TXB8  cbi UCSRB,TXB8  sbrc r17,0  sbi UCSRB,TXB8  ; переміщення молодшого байта  даних (r16) у буфер, відправлення  даних  out UDR,r16  ret</p>	<p>3. void USART_Transmit( unsigned  int data )  {  /* очікування звільнення буфера  передавача */  while ( !( UCSRA &amp; (1&lt;&lt;UDRE)) );  /* копіювання 9-го біта в TXB8 */  UCSRB &amp;= ~(1&lt;&lt;TXB8);  if ( data &amp; 0x0100 )UCSRB  =  (1&lt;&lt;TXB8);  /* переміщення даних у буфер,  відправлення даних */  UDR = data;  }</p>
<p>4. USART_Receive:  ; очікування закінчення прийому  даних  sbis UCSRA, RXC  rjmp USART_Receive  ; завантаження прийнятих даних з  буфера  in r16, UDR  ret</p>	<p>4. unsigned char USART_Receive(  void )  {  /* очікування закінчення прийому  даних */  while ( !(UCSRA &amp; (1&lt;&lt;RXC)) );  /* завантаження прийнятих даних  з буфера */  return UDR;  }</p>
<p>5. USART_Receive:  ; очікування закінчення прийому  даних  sbis UCSRA, RXC  rjmp USART_Receive  ; опитування статусних бітів і 9-го  біта даних перед зчитуванням  даних з буфера  in r18, UCSRA  in r17, UCSRB  in r16, UDR</p>	<p>5. unsigned int USART_Receive(  void )  {  unsigned char status, resh, resl;  /* очікування закінчення прийому  даних */  while ( !(UCSRA &amp; (1&lt;&lt;RXC)) );  /* опитування статусних бітів і 9-го  біта даних перед зчитуванням  даних з буфера */  ;</p>

## Продовження таблиці 134

Приклад коду на Асемблері	Приклад коду на Сі
<pre> ; якщо є помилка, то повертається значення «-1» andi r18,(1&lt;&lt;FE) (1&lt;&lt;DOR) (1&lt;&lt;UPE) breq USART_ReceiveNoError ldi r17, HIGH(-1) ldi r16, LOW(-1) USART_ReceiveNoError: ; виділення 9-го біта даних перед виходом lsr r17 andi r17, 0x01 ret                     </pre>	<pre> status = UCSRA; resh = UCSRB; resl = UDR /* якщо є помилка, то повертається значення «-1»*/ if ( status &amp; (1&lt;&lt;FE) (1&lt;&lt;DOR) (1&lt;&lt;UPE) ) return -1; /* виділення 9-го біта даних перед виходом */ resh = (resh &gt;&gt; 1) &amp; 0x01; return ((resh &lt;&lt; 8)   resl);                     </pre>
<pre> 6. USART_Flush: sbis UCSRA, RXC ret in r16, UDR rjmp USART_Flush                     </pre>	<pre> 6. void USART_Flush( void ) { unsigned char dummy; while ( UCSRA &amp; (1&lt;&lt;RXC) ) dummy = UDR; }                     </pre>

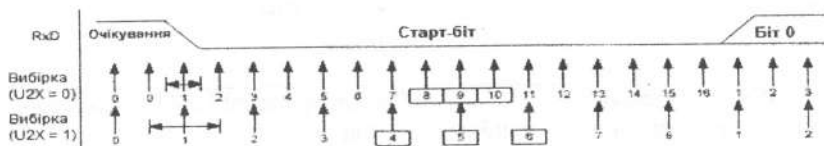


Рисунок 82

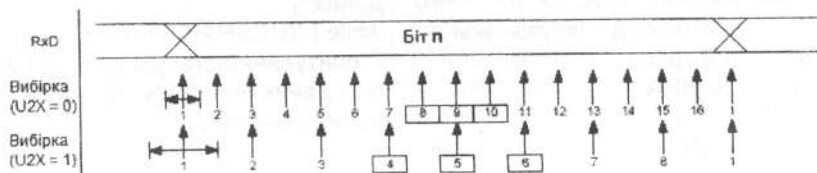


Рисунок 83

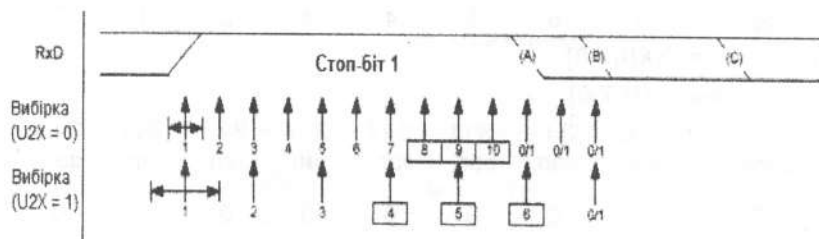


Рисунок 84

Таблиця 135

D (кількість бітів даних і паритету)	$R_{\text{мін}}$ %	$R_{\text{макс}}$ %	Загальна максимальна похибка, %	Рекомендована максимальна похибка приймача, %
5	93,20	106,67	+6,67/-6,8	± 3,0
6	94,12	105,79	+5,79/-5,88	± 2,5
7	94,81	105,11	+5,11/-5,19	± 2,0
8	95,36	104,58	+4,58/-4,54	± 2,0
9	95,81	104,14	+4,14/-4,19	± 1,5
10	96,17	103,78	+3,78/-3,83	± 1,5

Таблиця 136

D (кількість бітів даних і паритету)	$R_{\text{мін}}$ %	$R_{\text{макс}}$ %	Загальна максимальна похибка, %	Рекомендована максимальна похибка приймача, %
5	94,12	105,66	+5,66/-5,88	± 2,5
6	94,92	104,92	+4,92/-5,08	± 2,0
7	95,52	104,35	+4,35/-4,48	± 1,5
8	96,00	103,90	+3,90/-4,00	± 1,5
9	96,39	103,53	+3,53/-3,61	± 1,5
10	96,70	103,23	+3,23/-3,30	± 1,0

Таблиця 137

Розряд	7	6	5	4	3	2	1	0
Позначення	RXB[7:0]							
Позначення	TXB[7:0]							
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Вхідне значення	0	0	0	0	0	0	0	0

Таблиця 138

Номер біта	Ім'я	Призначення
7	RXC0	Прапор завершення приймання УСАПП
6	TXC0	Прапор завершення передачі УСАПП
5	UDRE0	Прапор звільнення регістра даних УСАПП
4	FE0	Помилка посилання
3	DOR0	Прапор переповнення даних
2	UPE0	Помилка паритету
1	U2X0	Подвоєння швидкості зв'язку УСАПП
0	MPCM0	Режим багатопроцесорного зв'язку

Таблиця 139

Номер біта	Ім'я	Призначення
7	RXCIE0	Дозвіл на переривання при завершенні прийому
6	TXCIE0	Дозвіл на переривання при завершенні передачі
5	UDRIE0	Дозвіл на переривання при звільненні регістра даних
4	RXEN0	Дозвіл на роботу приймача
3	TXEN0	Дозвіл на роботу передавача
2	UCSZ02	Формат даних
1	RXB80	Значення 8-го розряду прийнятих даних
0	TXB80	8-й розряд переданих даних

Таблиця 140

Номер біта	Ім'я	Призначення
7	–	Зарезервований біт
6	UMSEL0	Вибір режиму синхронізації
5	UPM01	Режим паритету – біт 1
4	UPM00	Режим паритету – біт 0
3	USBS0	Вибір числа стоп-бітів
2	UCSZ01	Формат даних – біт 1
1	UCSZ00	Формат даних – біт 0
0	UCPOL0	Полярність синхронізації

Таблиця 141

UMSEL0	Режим
0	Асинхронний зв'язок
1	Синхронний зв'язок

Таблиця 142

UPM01	UPM00	Режим паритету
0	0	Вимкнено
0	1	Зарезервовано
1	0	Увімкнено, контроль за парністю
1	1	Увімкнено, контроль за непарністю

Таблиця 143

UCSZ02	UCSZ01	UCSZ00	Формат посилки
0	0	0	5 бітів
0	0	1	6 бітів
0	1	0	7 бітів
0	1	1	8 бітів
1	0	0	Резерв
1	0	1	Резерв
1	1	0	Резерв
1	1	1	9 бітів

Таблиця 144

USBS0 Кількість стоп-бітів	
0	1 біт
1	2 біти

Таблиця 145

UCPOL0	Відновлення переданих даних (вивід на лінію Tx)	Вибірка прийнятих даних (введення на лінію Rx)
0	За фронтом ХСК	За спадом ХСК
1	За спадом ХСК	За фронтом ХСК

Таблиця 146

Розряд	7	6	5	4	3	2	1	0
Позначення	UBRR0H [11:8]							
Позначення	UBRR0L [7:0]							
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.
Вихідне значення	0	0	0	0	0	0	0	0

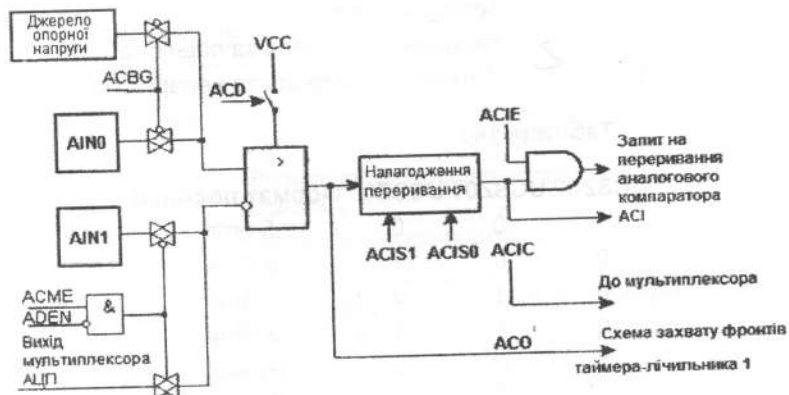


Рисунок 85

Розряд	7	6	5	4	3	2	1	0	SFIOR
	TSM	-	-	-	ACME	PUD	PSR0	PSR321	
Зчитування/запис	Зч./зап.	Зч.	Зч.	Зч.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Початкове значення	0	0	0	0	0	0	0	0	

Рисунок 86

Розряд	7	6	5	4	3	2	1	0	ACSR
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	
Зчитування/запис	Зч./зап.	Зч./зап.	Зч.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	Зч./зап.	
Початкове значення	0	0	x	0	0	0	0	0	

Рисунок 87

Таблиця 147

ACIS1	ACIS0	Подія
0	0	Переривання за будь-якою зміною на виході компаратора
0	1	Зарезервовано
1	0	Переривання за спадним фронтом на виході компаратора
1	1	Переривання за зростаючим фронтом на виході компаратора

Таблиця 148

ACME	ADEN	MUX2..0	Неінвертуючий вхід аналогового компаратора
0	x	xxx	AIN1
1	1	xxx	AIN1
1	0	000	ADC0
1	0	001	ADC1
1	0	010	ADC2
1	0	011	ADC3
1	0	100	ADC4
1	0	101	ADC5
1	0	110	ADC6
1	0	111	ADC7

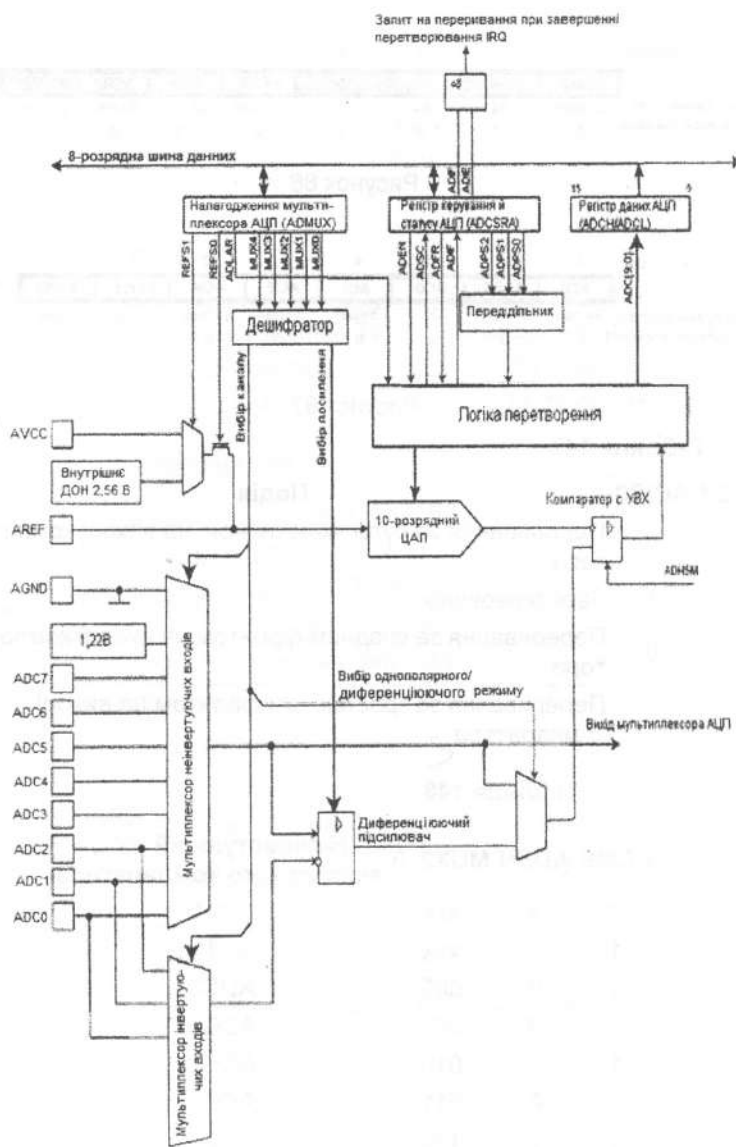


Рисунок 88



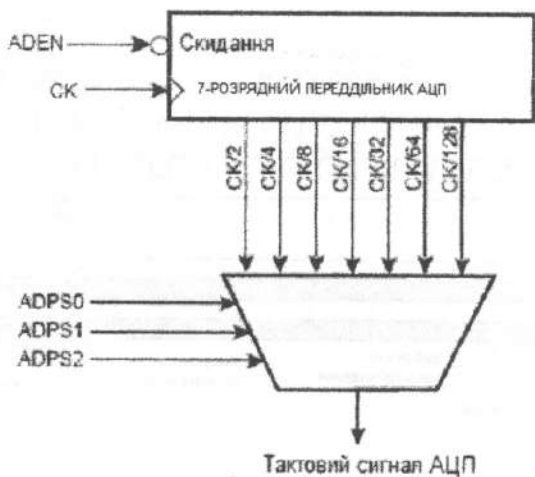


Рисунок 89

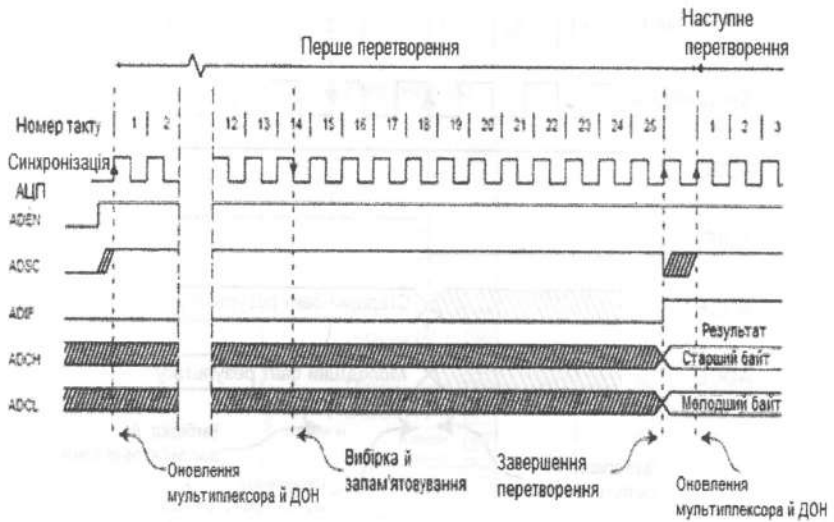


Рисунок 90



Рисунок 91

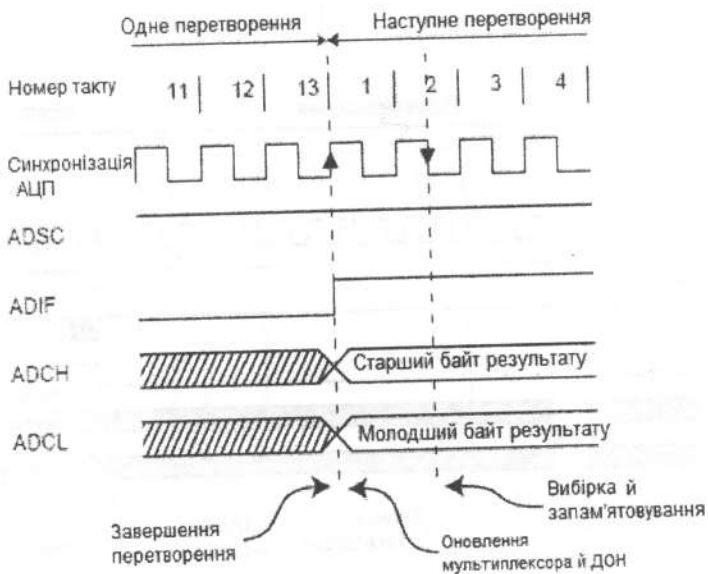


Рисунок 92

Таблиця 149

Тип перетворення	Тривалість вибірки-зберігання (у тактах з початку перетворення)	Час перетворення (у тактах)
Перше перетворення	14,5	25
Нормальне однополярне перетворення	1,5	13
Нормальне диференційоване перетворення	1,5/2,5	13/14

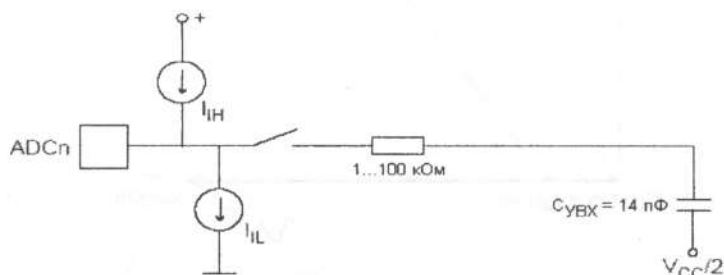


Рисунок 93

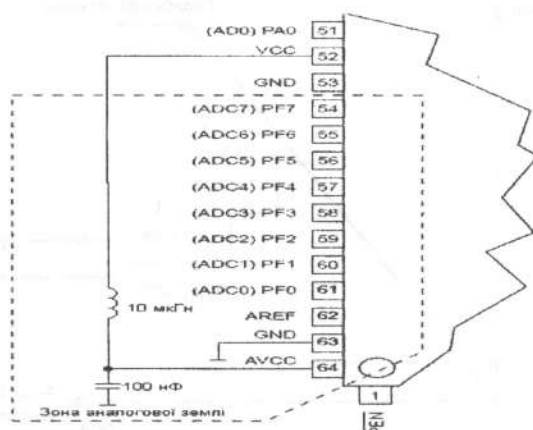


Рисунок 94

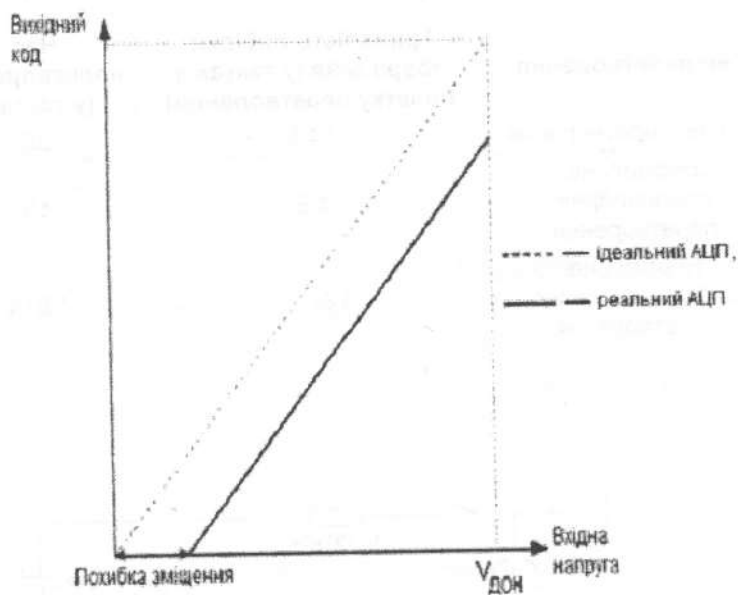


Рисунок 95

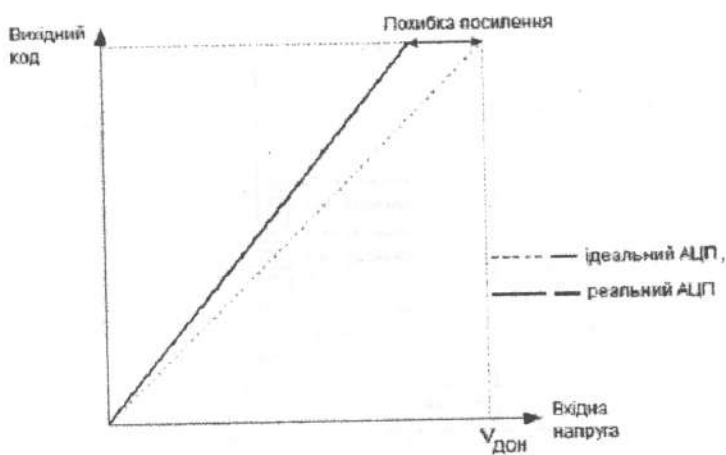


Рисунок 96

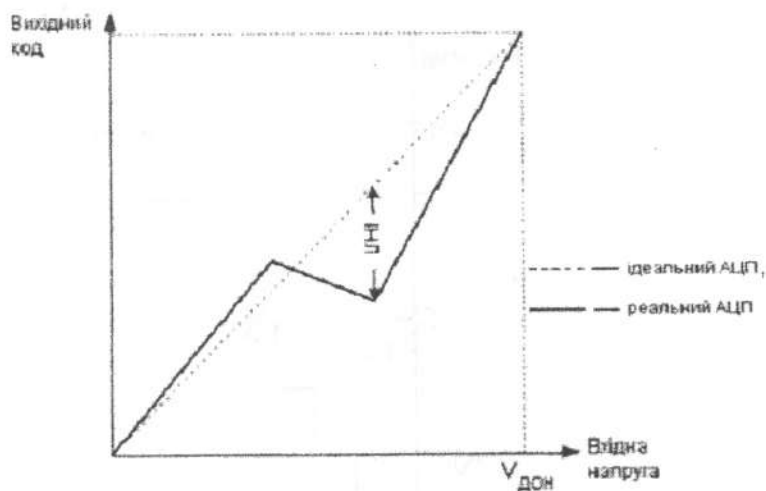


Рисунок 97

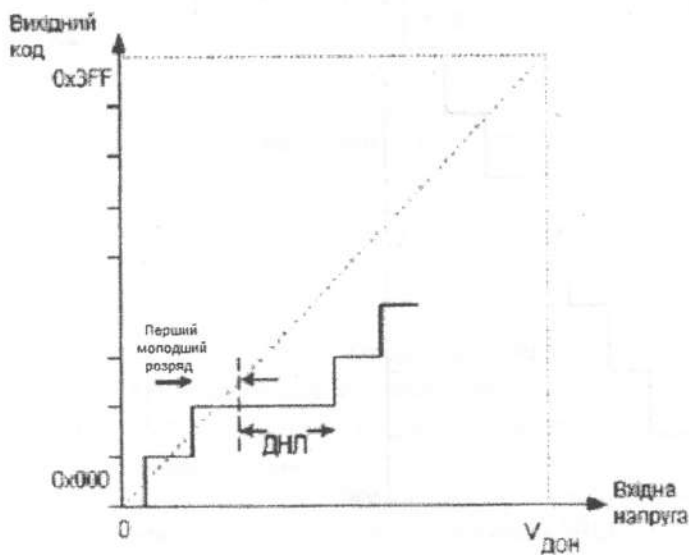


Рисунок 98

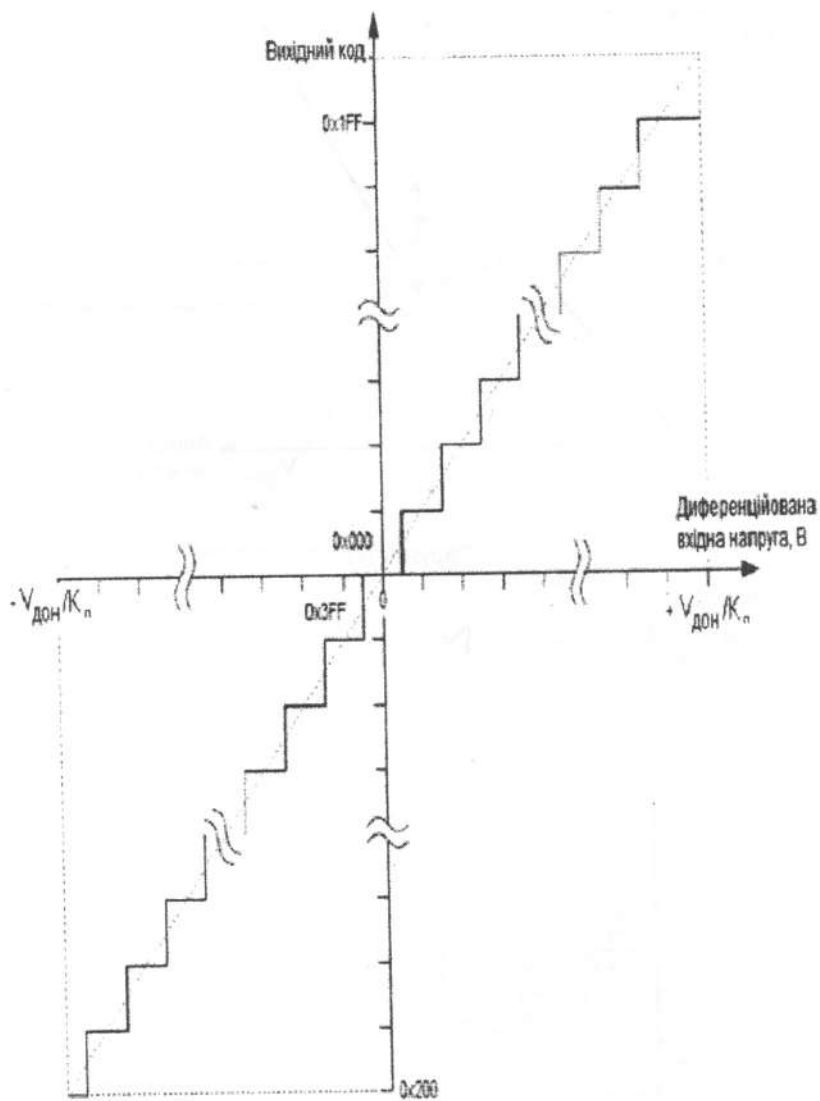


Рисунок 99

Таблиця 150

ВАЦПп	Зчитувальний код	Відповідне десяткове значення
$V_{АЦПм} + V_{ДОН} / K_n$	0x1FF	511
$V_{АЦПм} + 0,999 V_{ДОН} / K_n$	0x1FF	511
$V_{АЦПп} + 0,998 V_{ДОН} / K_n$	0x1FE	510
...	...	...
$V_{АЦПм} + 0,001 V_{ДОН} / K_n$	0x001	1
$V_{АЦПм}$	0x000	0
$V_{АЦПм} - 0,001 V_{ДОН} / K_n$	0x3FF	-1
...	...	...
$V_{АЦПм} - 0,999 V_{ДОН} / K_n$	0x201	-511
$V_{АЦПм} - V_{ДОН} / K_n$	0x200	-512

Таблиця 151

Розряд	7	6	5	4	3	2	1	0	
Позначення	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 152

REFS1	REFS0	Опорне джерело
0	0	AREF, внутрішнє $V_{ДОН}$ вимкнено
0	1	AVCC із зовнішнім конденсатором на виводі AREF
1	0	Зарезервовано
1	1	Внутрішнє джерело опорної напруги 2,56 В із зовнішнім конденсатором на виводі AREF

Таблиця 153

MUX4..0	Однополярний вхід	Неінвертуючий диференційований вхід	Інвертуючий диференційований вхід	Коефіцієнт підсилення, $K_n$	
00000	ADC0	Відсутні	Відсутні		
00001	ADC1				
00010	ADC2				
00011	ADC3				
00100	ADC4				
00101	ADC5				
00110	ADC6				
00111	ADC7				
01000	Відсутні	ADC0	ADC0	10	
01001		ADC1	ADC0	10	
01010		ADC0	ADC0	200	
01011		ADC1	ADC0	200	
01100		ADC2	ADC2	10	
01101		ADC3	ADC2	10	
01110		ADC2	ADC2	200	
01111		ADC3	ADC2	200	
10000		ADC0	ADC1	1	
10001		ADC1	ADC1	1	
10010		ADC2	ADC1	1	
10011		ADC3	ADC1	1	
10100		ADC4	ADC1	1	
10101		ADC5	ADC1	1	
10110		ADC6	ADC1	1	
10111		ADC7	ADC1	1	
11000		ADC0	ADC2	1	
11001		ADC1	ADC2	1	
11010		ADC2	ADC2	1	
11011		ADC3	ADC2	1	
11100		ADC4	ADC2	1	
11101		ADC5	ADC2	1	
11110		1.23В (VBG)	Відсутні		
11111		0 В (GND)	Відсутні		



Таблиця 154

Розряд	7	6	5	4	3	2	1	0	
Позначення	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Зчитування/ запис	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	Зч./ зап.	
Вихідне значення	0	0	0	0	0	0	0	0	

Таблиця 155

ADPS2	ADPS1	ADPS0	Коефіцієнт розподілу
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Таблиця 156

ADLAR = 0:

Розряд	15	14	13	12	11	10	9	8	
Позначення	-	-	-	-	-	-	ADC9	ADC8	ADCH
Позначення	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Розряд	7	6	5	4	3	2	1	0	
Зчитування/ запис	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	Зч.	
Вихідне значення	0	0	0	0	0	0	0	0	




2716	2732 27C32	27C16	DIP 24 BbB.	27C16	2732 27C32	2716
A7	A7	A7	1	24	$V_{CC}$	$V_{CC}$
A6	A6	A6	2	23	A8	A8
A5	A5	A5	3	22	A9	A9
A4	A4	A4	4	21	$V_{PP}$	A11
A3	A3	A3	5	20	$\overline{OE}$	$\overline{OE/V_{PP}}$
A2	A2	A2	6	19	A10	A10
A1	A1	A1	7	18	$\overline{CE/PGM}$	$\overline{CE}$
A0	A0	A0	8	17	D7	D7
D0	D0	D0	9	16	D6	D6
D1	D1	D1	10	15	D5	D5
D2	D2	D2	11	14	D4	D4
			12	13	D3	D3

Рисунок 100

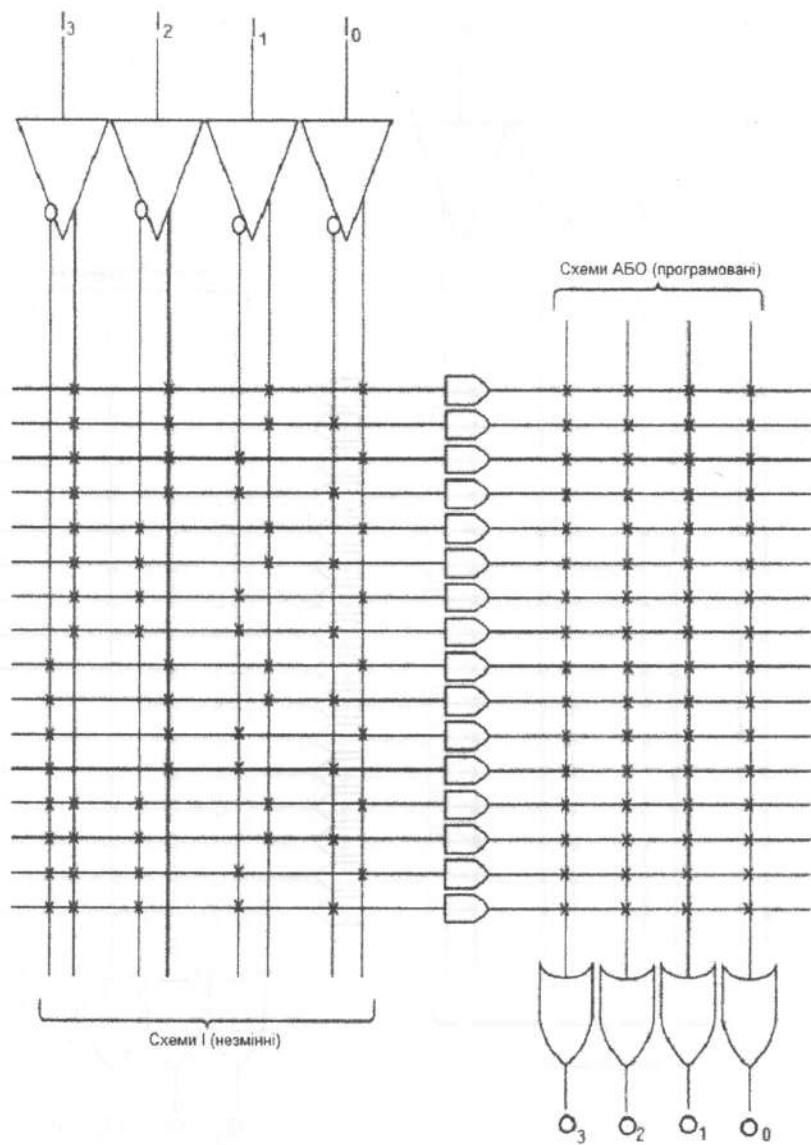


Рисунок 101

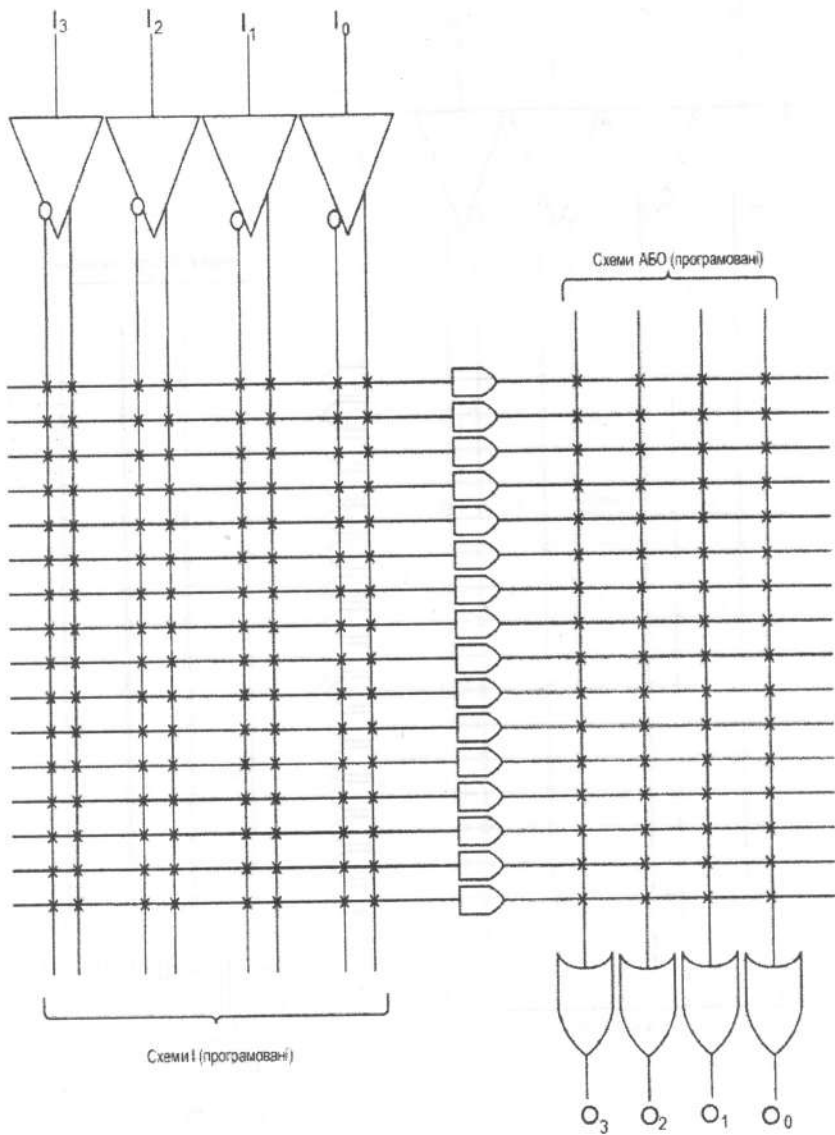


Рисунок 102

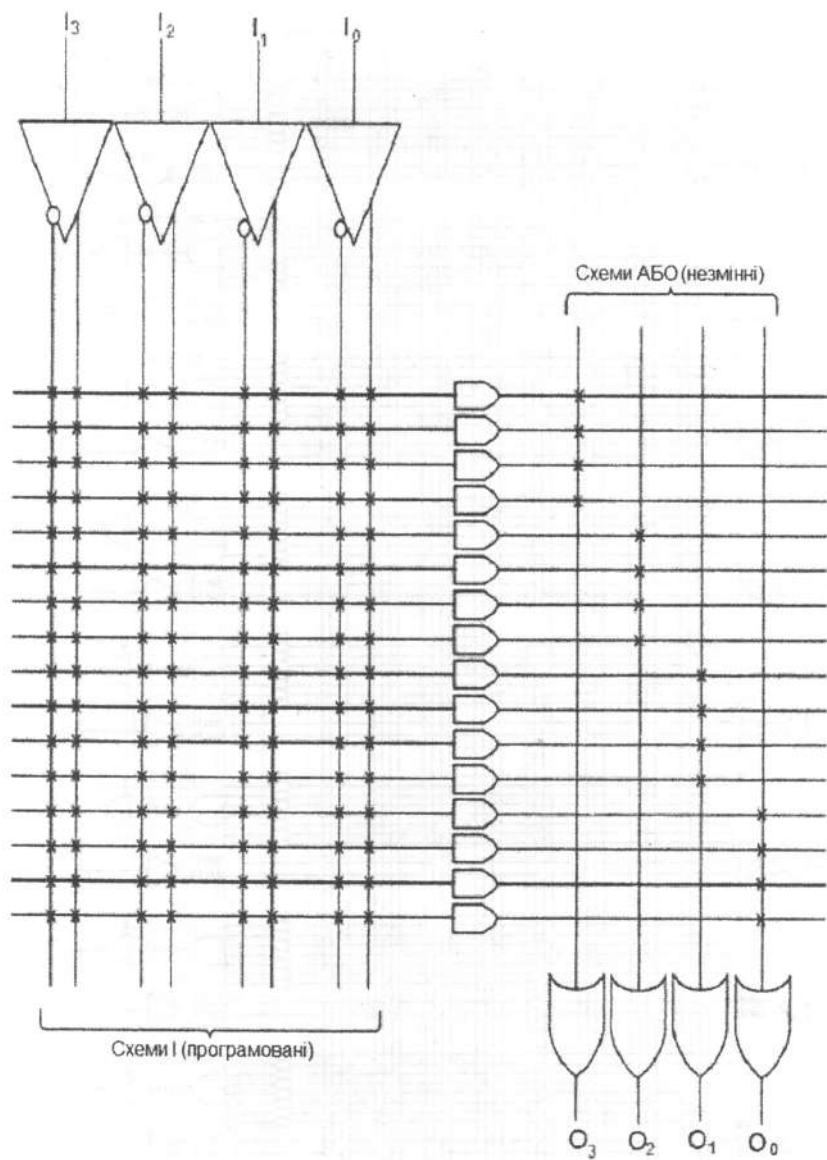


Рисунок 103

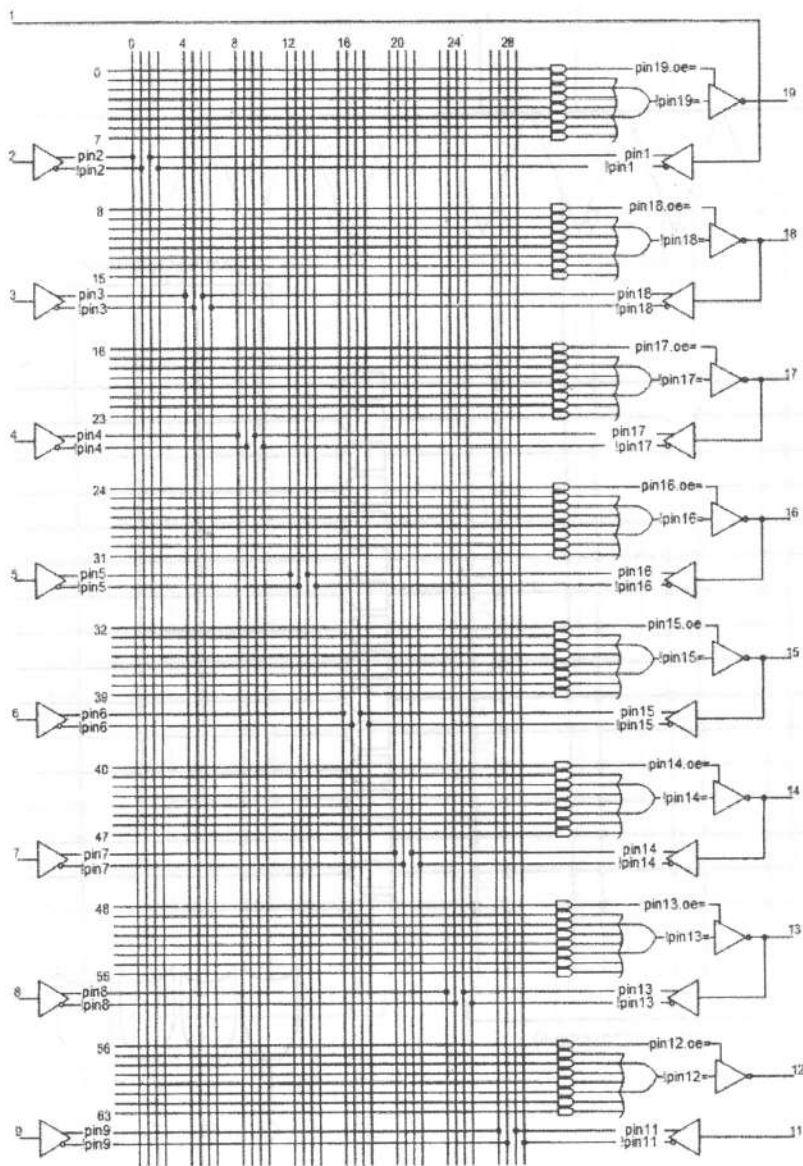


Рисунок 104

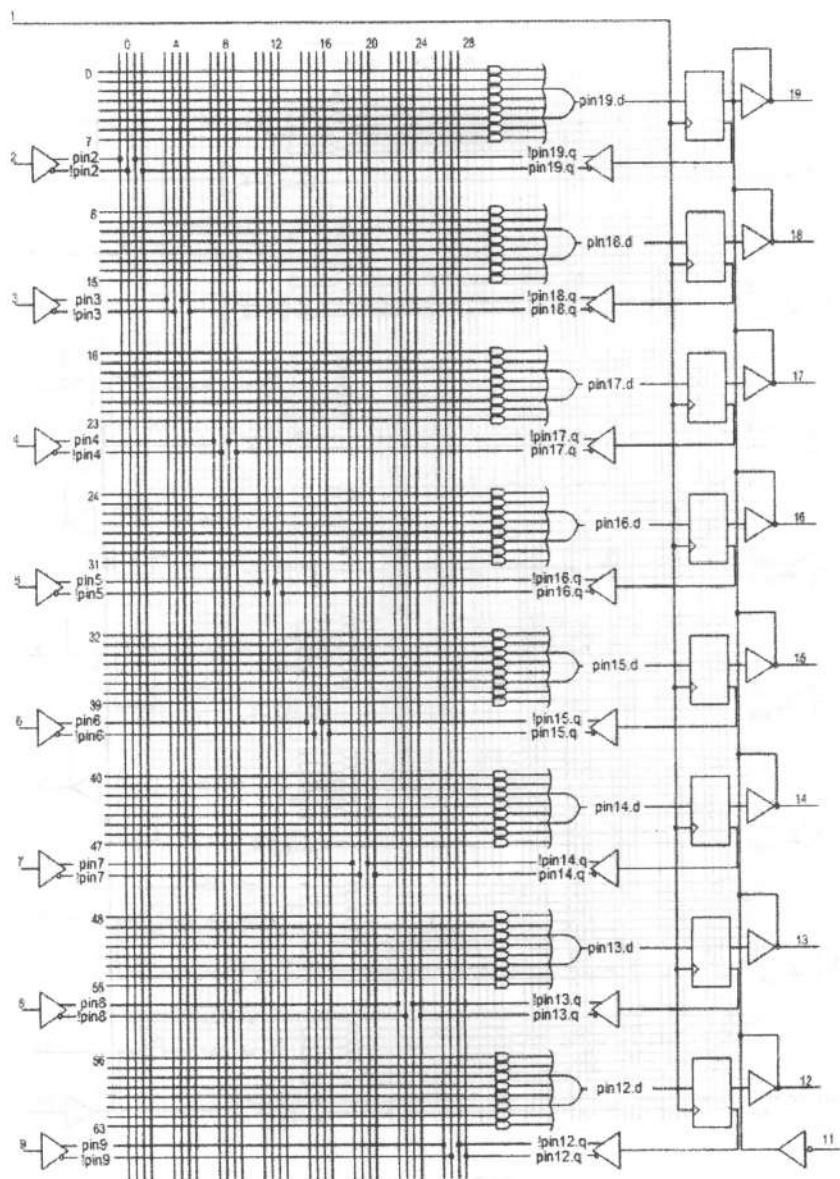


Рисунок 105

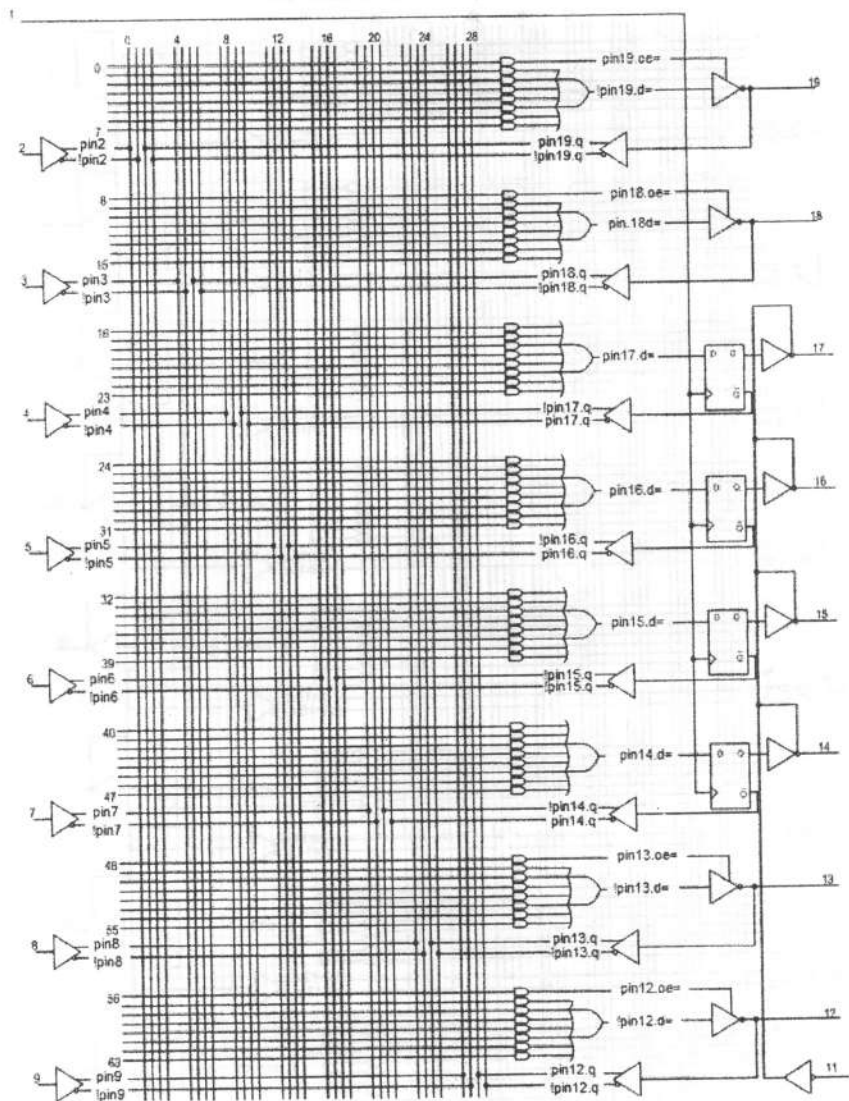


Рисунок 106



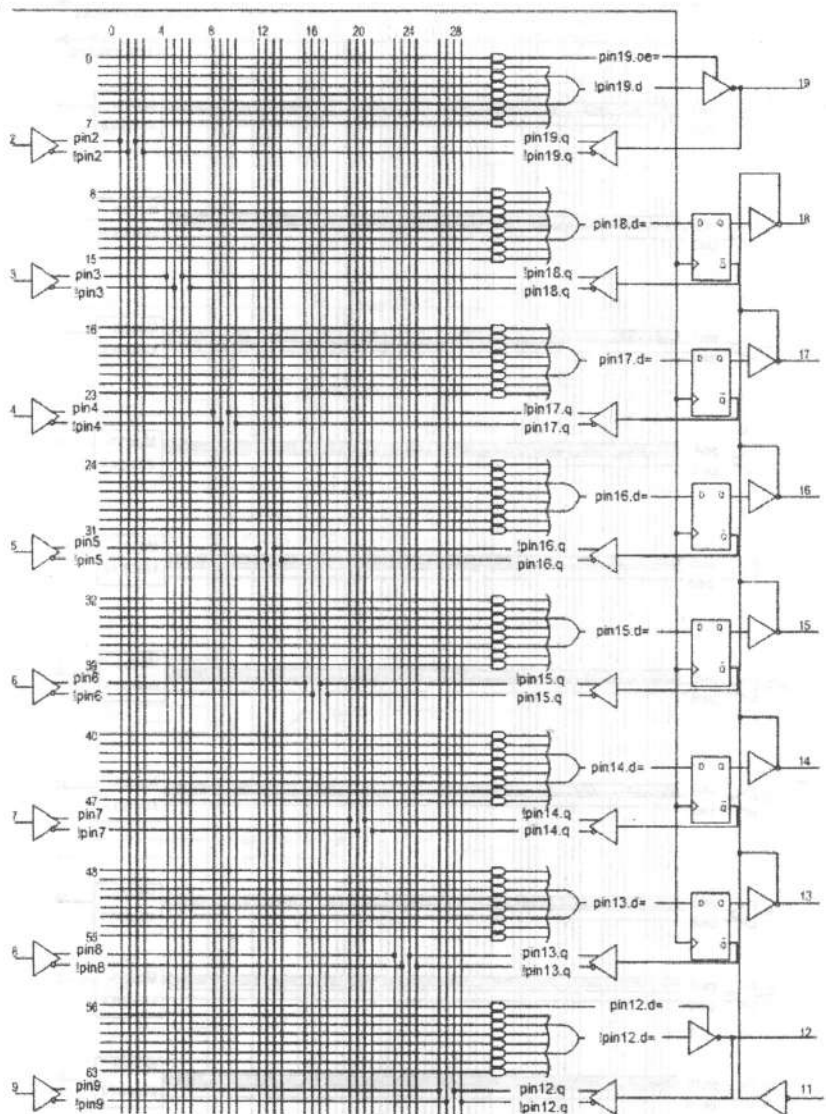


Рисунок 107

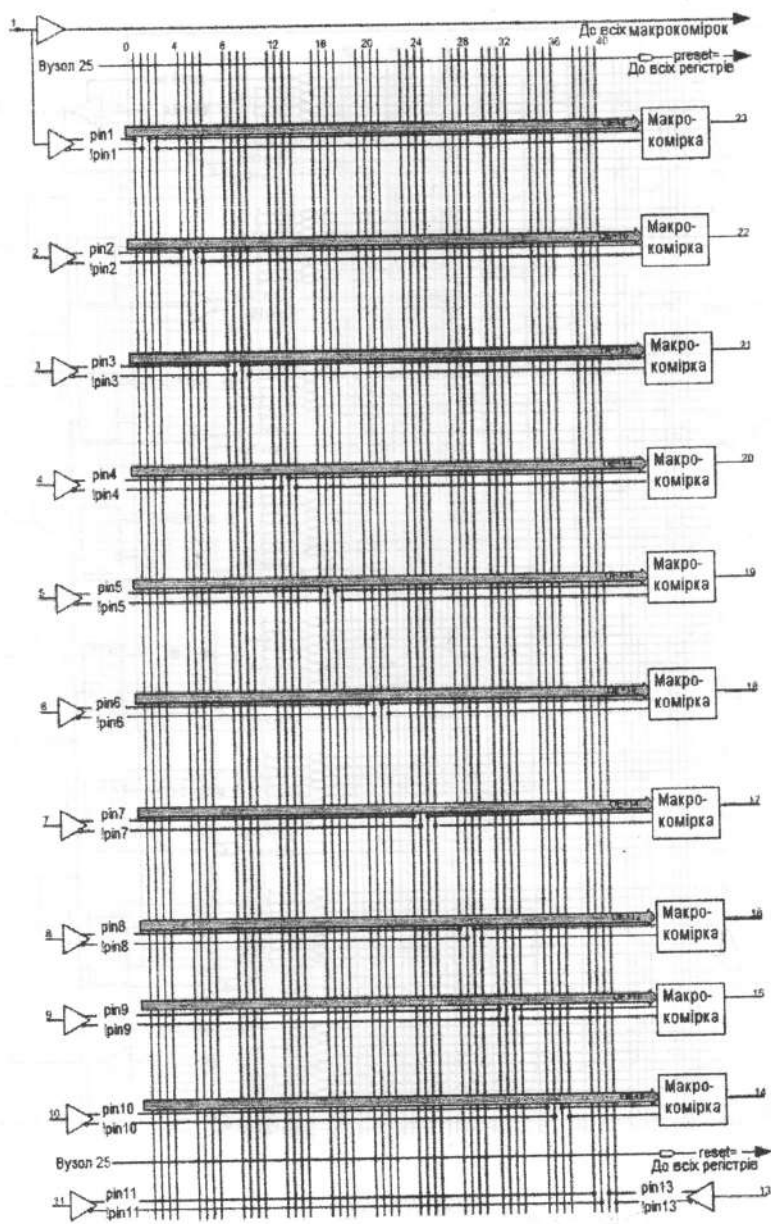


Рисунок 108

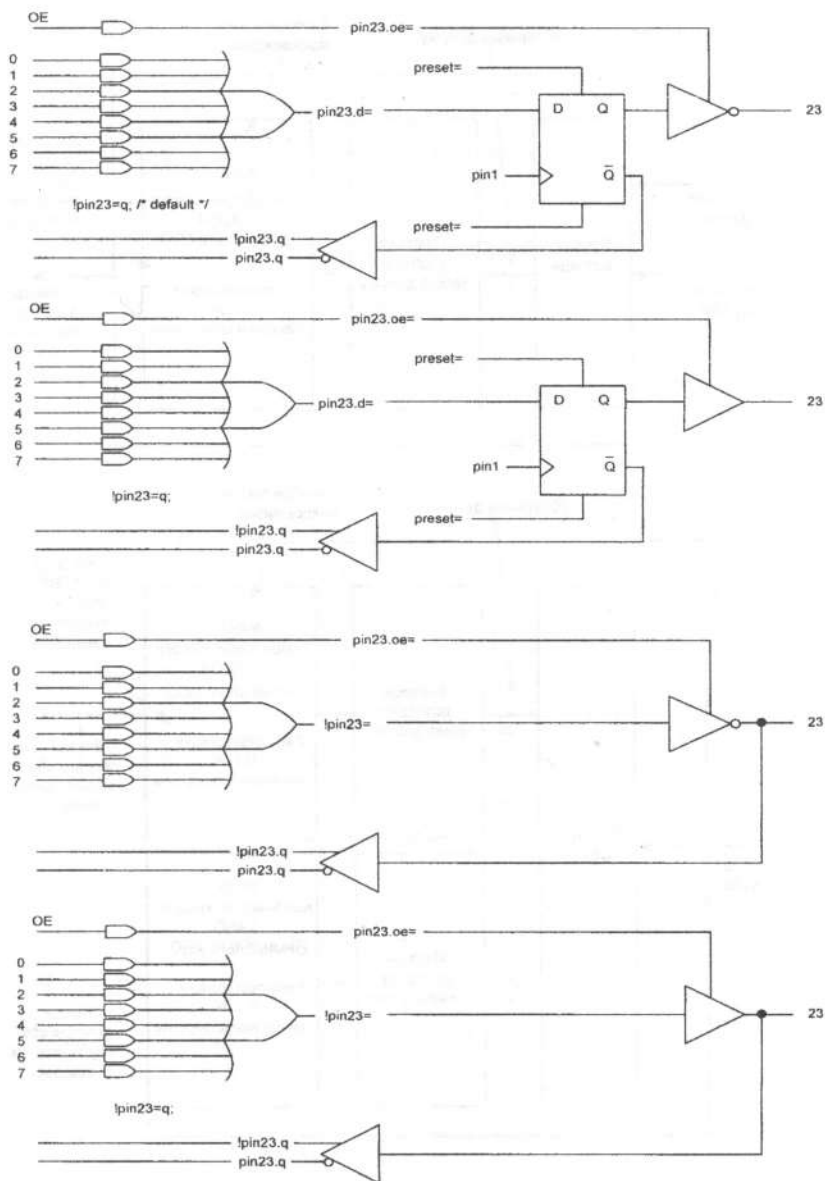


Рисунок 109

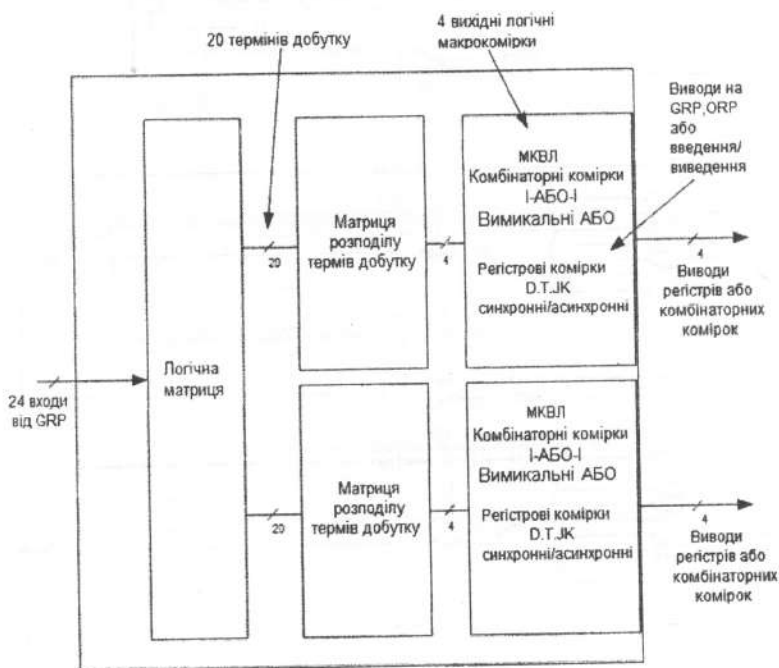


Рисунок 110

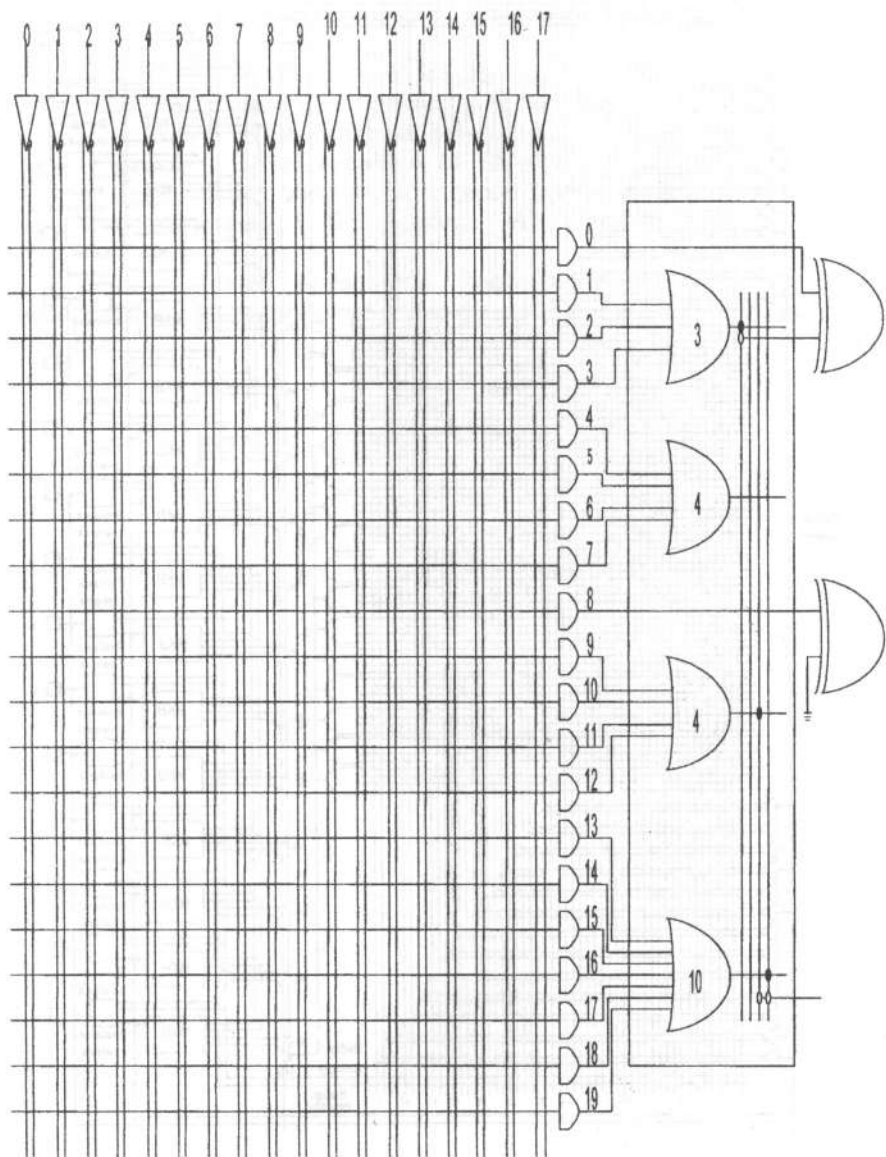


Рисунок 111

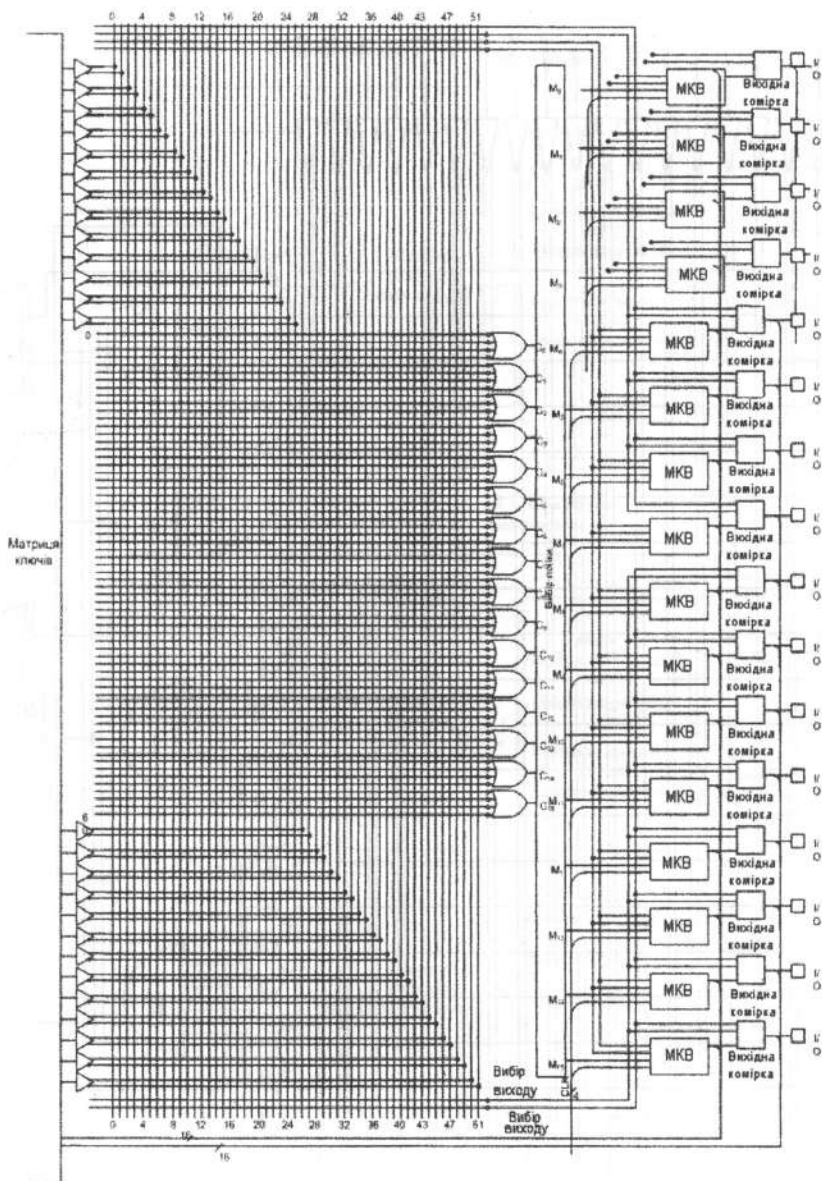


Рисунок 112

## Бібліографічний список

Баранов В.Н. Применение микроконтроллеров AVR. Схемы, алгоритмы, программы / В.Н. Баранов. – М.: Додэка, 2006. – 288 с.

Боборыкин А.В. Однокристалльные микроЭВМ / А.В. Боборыкин, Г.П. Липовецкий, Г.В. Литвинский. – М.: МИКАП, 1994. – 400 с.

Бородин В.Б. Микроконтроллеры. Архитектура, программирование, интерфейс / В.Б. Бородин, И.И. Шагурин. – М.: ЭКОМ, 1999. – 400 с.

Гёлль П. Как превратить персональный компьютер в универсальный программатор: пер. с фр. / П. Гёлль. – М.: ДМК, 2000. – 168 с.

Цеховський Максим Володимирович  
Світличний Олександр Володимирович

**ЕЛЕКТРОННА ТА МІКРОПРОЦЕСОРНА ТЕХНІКА В МЕТРОЛОГІЇ  
Й ІНФОРМАЦІЙНО-ВИМІРЮВАЛЬНИХ СИСТЕМАХ**

Редактор В.М.Коваль

Зв. план, 2009

Підписано до видання 12.02.2009

Ум. друк. арк. 6,9. Обл.-вид. арк. 7,75. Тираж 100 прим.

Національний аерокосмічний університет ім. М. Є. Жуковського  
«Харківський авіаційний інститут»  
61070, Харків-70, вул. Чкалова, 17  
<http://www.khai.edu>

---

ХНУРЕ, 61166, Харків, просп. Леніна, 14

Віддруковано в навчально-науковому  
видавничо-поліграфічному центрі ХНУРЕ  
Харків, просп. Леніна, 14